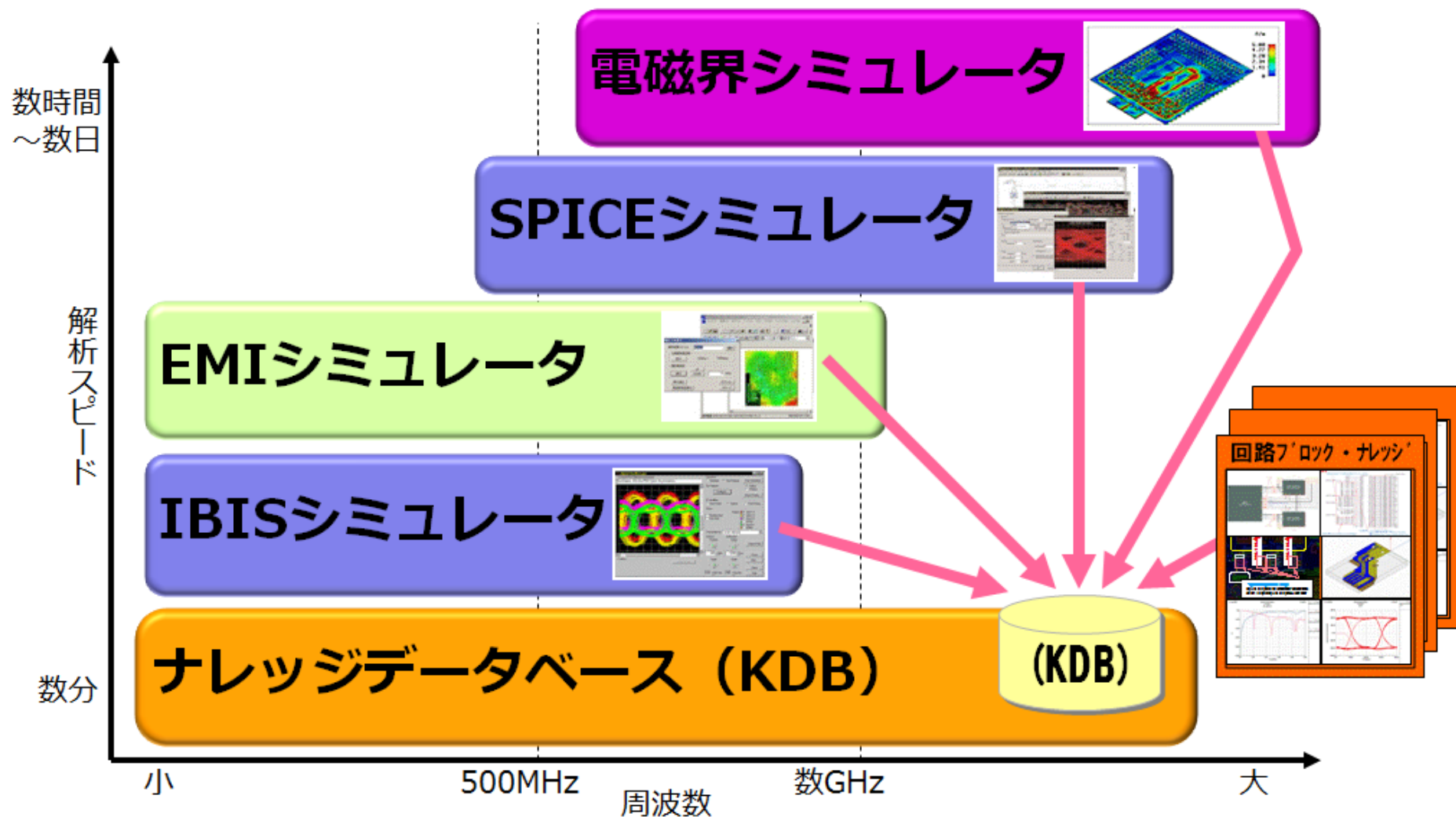


プリント回路設計関連

EMI/SIシミュレーションの詳細





【A社シミュレータの特徴】

- CR-5000/BDとコンカレント解析が出来ますので、試作開発等の超短納期対応に最適です。
- Zoコントロール信号に対するリファレンスプレーンを実形状で詳細に解析出来ますので、より少ない層数でコストメリットを目指す基板の解析に最適です。

クロストーク解析

信号間のクロストーク解析やカップリングを考慮した反射解析が可能。信号毎に入力波形を設定するために周波数の違う信号同士のクロストークも解析が可能です。

反射解析

隣接パターンの形状、リファレンスプレーン形状を考慮した反射解析が可能です。IBISモデル条件をBest/Worst/Typicalケースにした時の反射解析が可能。

入力波形

任意の入力波形を信号毎に設定して解析が可能

アイ・パターン

任意のビットシーケンスのアイ・パターンを確認できます。アイの開きを確認して伝送品質に問題がない事を確認します。

レイアウト・インターフェース CR-5000/BD

トポロジー検討

配線前の事前検討による回路定数やパターン形状の決定、配線後の仮想的な対策の実施により適切な回路定数・トポロジーを回路と基板に反映できます。

S-パラメータ

伝送路のS-パラメータで動作周波数での損失を確認し、問題がパターン、その他(回路定数・IBISモデル等)のどちらであるかの判断が可能になります。

タイミング解析

各信号の立ち上がり/立ち下がり時間やグループ毎のスキューが確認できます。配線段階では計算式を使用した簡易的な遅延時間で調整し、最終段階でシミュレータを使用した詳細な遅延時間(スキュー)を確認できます。

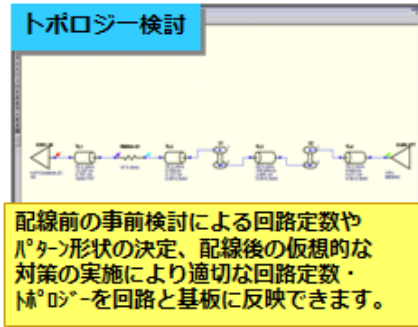
精細な高速伝送線路($\approx < 1\text{GHz}$)の回路パターンを形成できます

【B社シミュレータの特徴】

- 多様なレイアウトCADインターフェイスが準備されております。
- 解析スピードが速く、対策検討も容易です。
- DDRxメモリに特化したタイミングウィザードが準備されており、JEDEC準拠のタイミング解析が可能です。
- HSPICE-SIMと連動した解析が可能です。

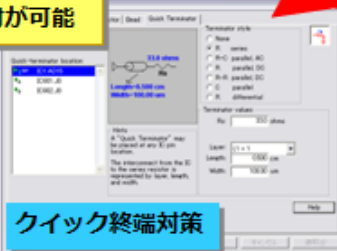
レイアウト・インターフェイス
Cadence/Mentor Graphics/図研など

トポロジー検討



配線前の事前検討による回路定数やパターン形状の決定、配線後の仮想的な対策の実施により適切な回路定数・パターンを回路と基板に反映できます。

簡単な終端部品であれば
即座に対策検討が可能



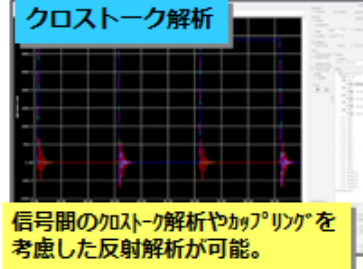
クイック終端対策



DDRxタイミング解析

DDRxメモリに特化したWizardが用意されており、JEDEC準拠のタイミング解析が可能。

クロストーク解析



信号間のクロストーク解析やカップリングを考慮した反射解析が可能。

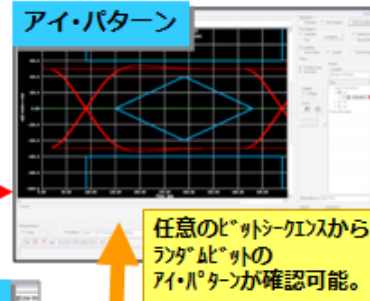
反射解析



IBISE™ル条件をBest/Worst/Typicalケースにした時の反射解析が可能。

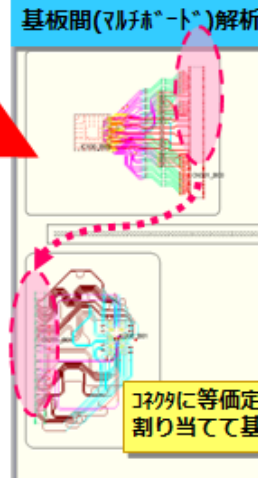
HSPICE-SIMと連動しているので、HSPICE™ルを割り当てた解析も可能。

アイ・パターン



任意のビットシーケンスからランダムビットのアイ・パターンが確認可能。

基板間(マルチポート)解析



ネットワークに等価定数(LCR)やSPICE™モデルを割り当てて基板間を接続した解析が可能。



ビットシーケンス

精細な高速伝送線路(≒<1GHz)の回路パターンを形成できます

【B社シミュレータの特徴】

- 多様なレイアウトCADインターフェイスが準備されています。
- 解析スピードが速く、対策検討も容易です。
- DDRxメモリに特化したタイミングウィザードが準備されており、JEDEC準拠のタイミング解析が可能です。
- HSPICE-SIMと連動した解析が可能です。

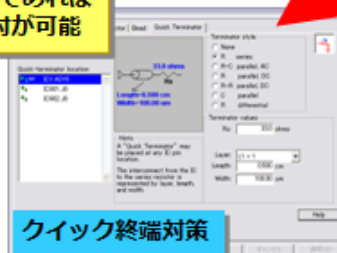
トポロジー検討



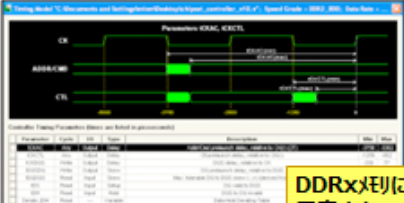
配線前の事前検討による回路定数やパターン形状の決定、配線後の仮想的な対策の実施により適切な回路定数・トポロジーを回路と基板に反映できます。

レイアウト・インターフェイス
Cadence/Mentor Graphics/図研など

簡単な終端部品であれば即座に対策検討が可能



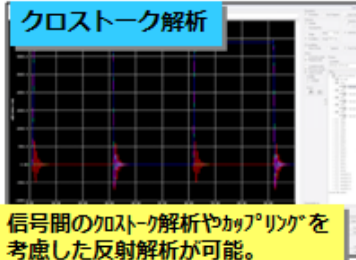
クイック終端対策



DDRxタイミング解析

DDRxメモリに特化したWizardが用意されており、JEDEC準拠のタイミング解析が可能。

クロストーク解析



信号間の加ストーク解析やカップリングを考慮した反射解析が可能。

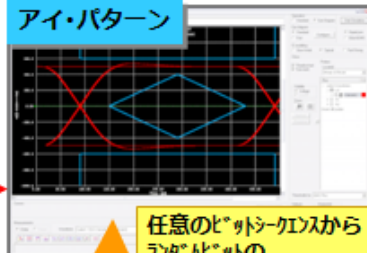
反射解析



IBIS/I/O条件をBest/Worst/Typicalケースにした時の反射解析が可能。

HSPICE-SIMと連動しているので、HSPICEモデルを割り当てた解析も可能。

アイ・パターン

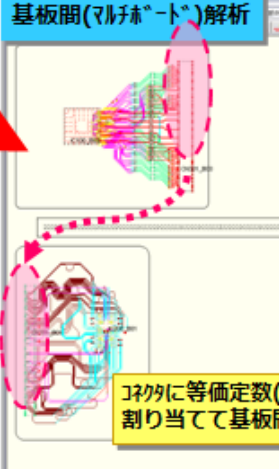


任意のビットシーケンスからランダムビットのアイ・パターンが確認可能。



ビットシーケンス

基板間(マルチボード)解析



コネクタに等価定数(LCR)やSIパラメータを割り当てて基板間を接続した解析が可能。

精細な高速伝送線路(≒<1GHz)の回路パターンを形成できます

【EMIシミュレータの特徴】

- プレーン共振状態を確認し、ツール上で適切なパスコンの位置や効果を瞬時に確認可能です。
- 13項目※1のEMIチェックを実行出来し、EMIの要因を開発設計の早い段階で対策出来ますので、量産出荷前のトラブルを未然に防ぐ事が可能です。

※1【EMIチェック項目】

- ①配線長チェック
- ②ビア数チェック
- ③基板端チェック
- ④GV²レーンまたぎチェック
- ⑤リターンパス不連続チェック
- ⑥SGM²ターン有無チェック
- ⑦放射電界チェック
- ⑧SGM²ターンビア間隔チェック
- ⑨プレーン外周チェック
- ⑩フィルタ有無チェック
- ⑪デカップリングキャパシタチェック
- ⑫差動信号チェック
- ⑬加ストークチェック

信号線の配線長をチェックします。

信号線のビア数をチェックします。

信号線がリターン電流パスとなるプレーンの端にないかチェックします。

信号線のリターン電流パスがビアによって分断されていないかチェックします。

信号線のリターン電流パスが分断されていないかチェックします。

信号線にSGM²ターンが付いているかチェックします。

信号線の放射電界強度を計算しチェックします。

SGM²ターンが適切な位置でビアがあるかをチェックします。

電源・グラントプレーンが適切な位置でビアがあるかをチェックします。

コネクタ部品にフィルタ部品が適切な位置についているかをチェックします。

LSIにデカップリングキャパシタが適切な位置についているかをチェックします。

差動信号が適切に配線されているかをチェックします。

加ストークの問題を引き起こす配線が無いかチェックします。

プレーン共振解析

赤：電圧が高い
青：電圧が低い

最大電圧(共振電圧)に対するプレーンまでの最大値

共振判定基準 (最大電圧)

最大電圧(共振電圧)に対するプレーンまでの最大値

電源プレーンとGNDプレーン間での平行平板共振状態について、回路シミュレータを用いて解析し、装置が動作する上でEMIが増加する箇所を特定し、キャパシタの配置個数や位置などを変えながら解析を行いEMIを出さずに必要最小限な個数、配置位置を検討し盛り込みます。

レイアウト・インターフェース

Cadence/Mentor Graphics/図研など

EMIチェック

赤：エラーが多い
青：エラーが少ない

エラー一覧 エラースクリーニング機能

プリント基板上での電流のリターンパス分断や、放射電界値が規定を越えているなど、EMIが発生しやすい項目に対してチェックを行います。また、エラーが発生した場合にそれぞれの対策を盛り込みます。

EMIとプレーン共振を抑制する回路パターンを形成できます