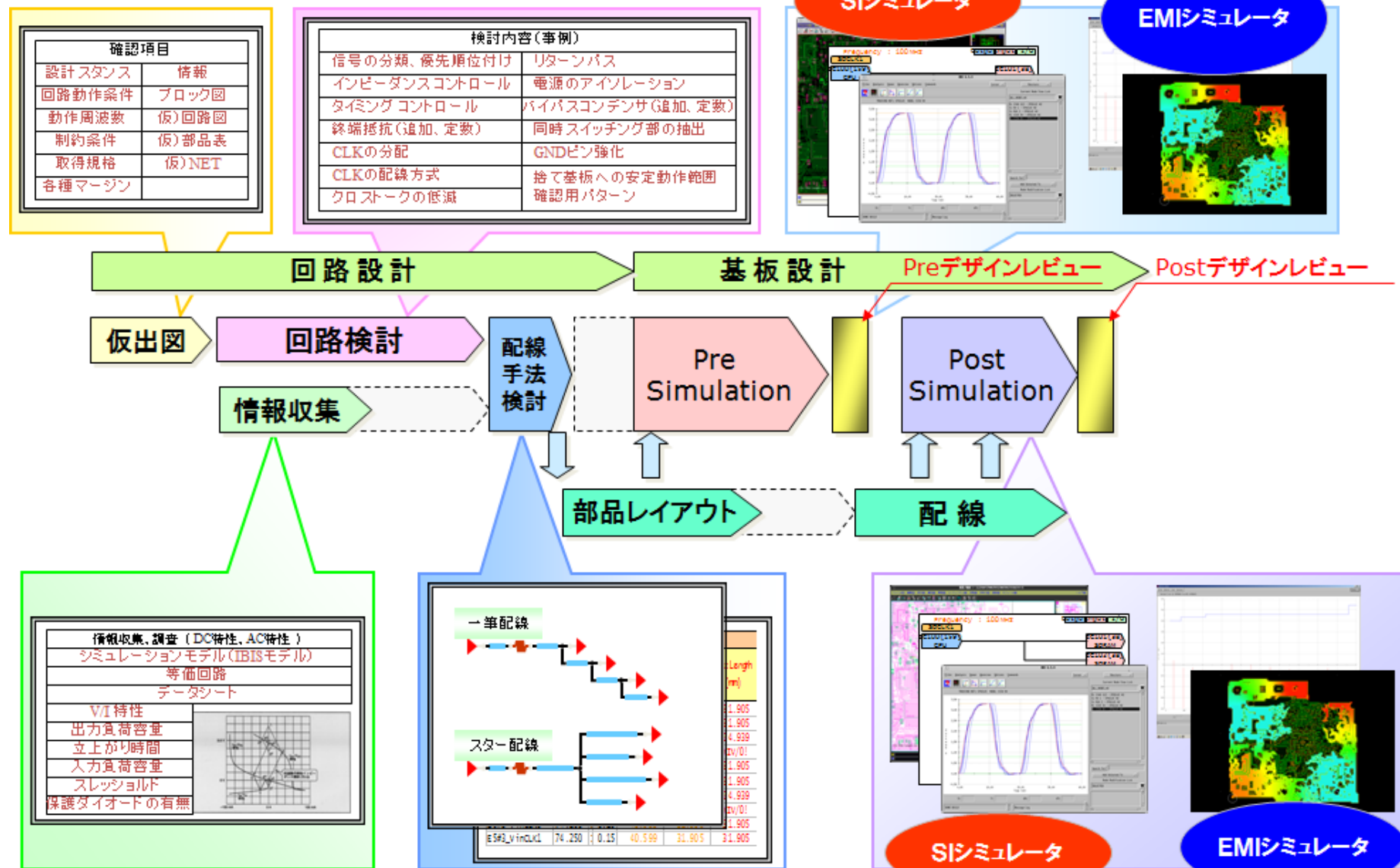


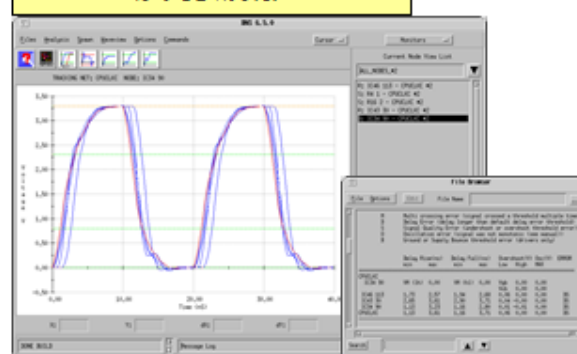
プリント回路設計関連 EMI/SI対策設計の詳細



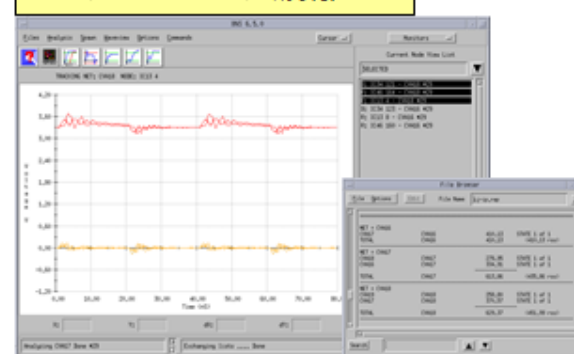


- **反射 (Reflection)** 波形の反射における伝搬遅延とオーバー／アンダーシュートの解析をおこないます
- **タイミング (Timing)** 反射解析にて算出された伝搬遅延がタイミング的に問題ないかどうか検証します
- **クロストーク (Crosstalk)** 隣接 (同層／層間) 信号から受けるノイズ及び与えるノイズのレベルを解析します
- **同時スイッチング** 対象となるICの信号が同時にスイッチングした時の電源及びGNDバウンスを解析します

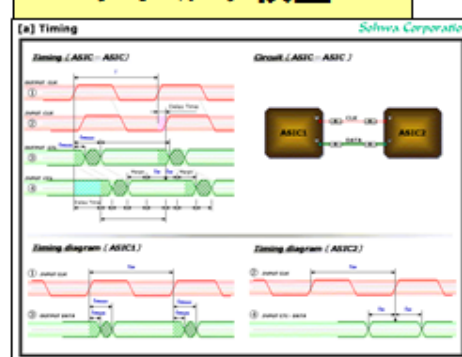
反射波形



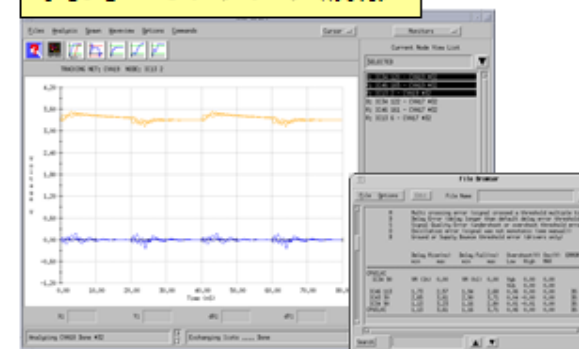
クロストーク波形



タイミング検査



同時スイッチング波形

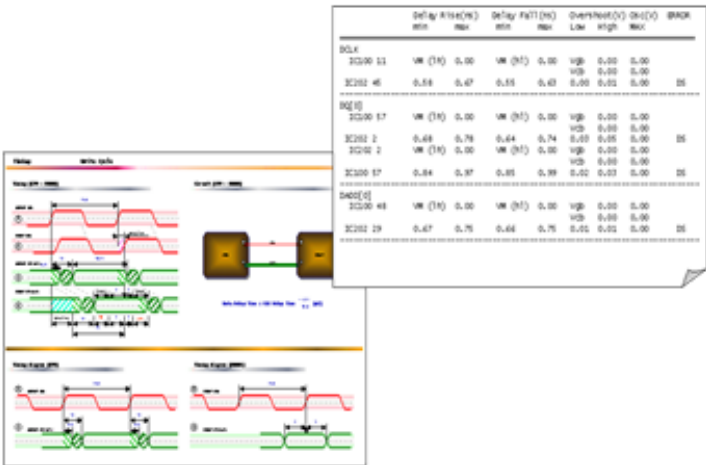




遅延レポート

		Delay Rise(ns)		Delay Fall(ns)		Overshoot(V)		Osc(V)	ERROR
		min	max	min	max	Low	High	MAX	
DCLK									
IC100	11	VM (1h)	0.00	VM (h1)	0.00	Vgb	0.00	0.00	
						Vcb	0.00	0.00	
IC202	45	0.58	0.67	0.55	0.63	0.00	0.01	0.00	DS
DQ[0]									
IC100	57	VM (1h)	0.00	VM (h1)	0.00	Vgb	0.00	0.00	
						Vcb	0.00	0.00	
IC202	2	0.68	0.78	0.64	0.74	0.03	0.05	0.00	DS
IC202	2	VM (1h)	0.00	VM (h1)	0.00	Vgb	0.00	0.00	
							Vcb	0.00	
IC100	57	0.84	0.97	0.85	0.99	0.02	0.03	0.00	DS
DADD[0]									
IC100	48	VM (1h)	0.00	VM (h1)	0.00	Vgb	0.00	0.00	
						Vcb	0.00	0.00	
IC202	29	0.67	0.75	0.66	0.75	0.01	0.01	0.00	DS

タイミング検討結果



クロストーク解析レポート

XMS CROSSTALK REPORT rev 6.0.0.6			
TXMR	RCVR	amplitude (mv)	
NET = S001			
S002	S001	27.12	STATE 6 of 7
TOTAL	S001	27.12	(27.12 rss)

NET = S002			
S003	S002	25.01	STATE 4 of 7
TOTAL	S002	25.01	(25.01 rss)

NET = S003			
S002	S003	29.21	STATE 6 of 7
TOTAL	S003	29.21	(29.21 rss)

NET = S004			
S003	S004	33.94	STATE 4 of 7
TOTAL	S004	33.94	(33.94 rss)

NET = S008			
S0010	S008	10.13	STATE 0 of 7
S009	S008	63.57	STATE 0 of 7

TOTAL	S008	73.70	(64.37 rss)

NET = S009			
S0011	S009	10.00	STATE 0 of 7
S0010	S009	47.53	STATE 2 of 7
S008	S009	46.91	STATE 2 of 7

TOTAL	S009	104.45	(67.53 rss)

NET = S0010			
S0028	S0010	5.57	STATE 6 of 7
S0011	S0010	47.29	STATE 2 of 7
S009	S0010	46.48	STATE 2 of 7
S008	S0010	11.36	STATE 0 of 7

TOTAL	S0010	110.69	(67.50 rss)

NET = S0011			
S0030	S0011	11.19	STATE 4 of 7
S0028	S0011	9.89	STATE 6 of 7
S0013	S0011	18.15	STATE 0 of 7
S0010	S0011	47.78	STATE 2 of 7
S009	S0011	11.36	STATE 0 of 7

TOTAL	S0011	98.57	(54.45 rss)

- ①配線長チェック: 終端抵抗なしで共振を起こさない信号パターン長制限。
- ②ビア数チェック: 適正リターンパス確保のためのビア数制限。
- ③基板端チェック: 適正リターンパス確保のための基板端信号パターン配置制限。
- ④GVプレーンまたぎチェック: ⑤リターンパスの変形解析。
- ⑤リターンパス不連続チェック: インピーダンスの連続性確保、電流ループ面積削減。
- ⑥SGパターン有無チェック: 適正リターンパス確保。
- ⑦放射電界チェック: 信号パターンのアンテナ化防止(電流ループ面積削減)。
- ⑧SGパターンビア間隔チェック: 共振防止、インピーダンスの連続性確保。
- ⑨プレーン外周チェック: アンテナ化防止、プレーン共振防止。
- ⑩フィルタチェック: コネクタにつながるインタフェースケーブルのアンテナ化防止。
- ⑪デカップリングキャパシタチェック:
電源端子～バイパスコンデンサ～GND端子の電流ループ面積削減。
- ⑫電源GNDプレーン共振解析: 固有のプレーン形状の共振のし易さ解析。

ブレン共振の検討結果

EMIシミュレーションの検討結果(ブレン共振解析)

L4層のGNDブレン共振

EMIシミュレーションの検討結果(ブレン共振解析)

L5層の電源ブレン共振

EMIシミュレーションの検討結果(ブレン共振解析)

L2層のGNDブレン共振

10GHz以下の共鳴で電源共振

基板右上部分のGND切欠き付近に600MHz付近に共振が確認できます。600MHz付近に高いノイズが発生している場合、原因となる可能性があります。

DEMTASIM プレン共振、L2層のGND切欠き付近に600MHz付近に共振が確認できます。600MHz付近に高いノイズが発生している場合、原因となる可能性があります。

配置・配線対策部品の検討結果

部品配置・配線の検討結果

U1502の8PIN電源に対してのバスコン配置は、最終にC1508を配置し、次いでC1509を配置する事が望ましいと考えます。大/小容量バスコン配置は、放射ノイズに影響を及ぼします。

部品配置・配線の検討結果

対策1: リターンノイズのループ面積を小さくしEMIノイズを抑制する。

① GNDに近づくように配置する。部品配置時にGND層へ接続されている箇所が少なく、リターンノイズのループ面積が大きくなりEMIノイズが発生している可能性があります。また、上下のGND層間の距離が大きい場合は、GND層間の距離を小さくすることでEMIノイズを抑制することができます。

② GNDに近づくように配置する。部品配置時にGND層へ接続されている箇所が少なく、リターンノイズのループ面積が大きくなりEMIノイズが発生している可能性があります。また、上下のGND層間の距離が大きい場合は、GND層間の距離を小さくすることでEMIノイズを抑制することができます。

EMI対策部品の検討結果

ASICのPLL電源回路(J14、J12、J3、直線V330)に接続されている、IC内部配線状況より判断しなければならないが、他のCPUチップの場合、高速信号線成分の電源配線への接続を考えると、ヒューズを用いて分離する場合があります。

以下、ヒューズ追加時の回路イメージを記します。(GNDにヒューズを追加する事について、確認済みです。)

214 PL1400 V330

212 PL1400 GND

放射電解の検討結果

EMIシミュレーションの検討結果(放射電解解析)

放射電解強度の高いノイズに付いて、結果を示します。通常は、40dBμV以上の計算値で合格を判断しており、以下の結果は非常に高い結果と考えます。配線詳細は次のページに記します。

EMIシミュレーションの検討結果(放射電解解析)

各信号線別は、十分に減衰されており、問題となるノイズ場合は、放射されていると見られます。データ上では、50dBμVが確認された場合、下図は、ASICが動作した場合、(ノイズレベルの大きいデータを選択)

NET ASPMDQ(S) NET ASPMDQ(S)

EMIシミュレーションの検討結果(放射電解解析)

放射電解チェックの配線ルート詳細

ASSEMBLYの放射電解結果(配線ルート詳細)

計算値が高い予想となる理由は、配線長が長い、基板層に近い事が主原因です。

ASSEMBLYの放射電解結果(配線ルート詳細)

上記内容と同様に板面配線が主原因です。

EMI検討結果の総評

EMI検討結果の総評

① ブレン共振に関する改善方法

- ・基板外周部のベタGNDを見直す。具体的に、板面GNDを大きくし、貫通ビアの本数を増やす。

② 放射電解に関する改善方法

- ・基板外周部に近い長い配線、を強力基板内側に移動する。
- ・各層の板面は、GNDベタを配線(1の対策)する。

③ 設計データに関する改善方法

- ・ASICのPLL電源をヒューズで分離する。
- ・ASICのバスコンが、少ないと考える。部品密度を考慮しつつ追加する。
- ・U1502電源分離場所を見直す必要がある。具体的にIC近辺に移動する。
- ・インダクタ⇔フェライトビーズ(部品変更しても実施すべきと考える。
- ・バスコンと電源接続のビア位置との関係とバスコン配置に付いては見直す。
- ・GNDレイアウトのアンテナとなる配線へのビア追加。または、削除。
- ・電源GNDに関するBYPASSの不足、を強化追加する。