

Universal Probe Blue

ハードウェア・ユーザーズ・マニュアル

Copyright © 2017 Sohwa & Sophia Technologies Inc.

No. J090980-01

目次

注意事項	3
使用上の注意	4
略語・用語・記載ルール	5
1. 本製品について	7
1.1. 内容物の確認	7
1.2. 各部名称	8
1.3. 主な仕様	10
1.4. 主な機能	11
1.5. ライセンスの入手	12
2. 使用方法	13
2.1. ホスト PC と接続する	14
2.2. ホスト PC から取り外す	14
2.3. ターゲットと接続する	15
2.3.1. CMSIS-DAP	16
2.3.2. Boundary-Scan Tool	17
2.3.3. Logic Analyzer/Protocol Analyzer	18
2.3.4. Pattern Generator	20
2.3.5. WATCHPOINT	20
2.4. 複数台連携する	21
3. 各機能の仕様	22
3.1. CMSIS-DAP	22
3.2. Boundary-Scan Tool	23
3.3. Logic Analyzer/Protocol Analyzer	24
3.4. Pattern Generator	26
3.5. WATCHPOINT	27
3.6. スタンドアロン動作	28
4. 付録	30
4.1. 拡張コネクタ ピンアサイン	30
4.2. ターゲット側の推奨端子処理	31
改訂履歴	32
製造者情報	33

注意事項

このたびは株式会社 Sohwa & Sophia Technologies 製「Universal Probe Blue」をお買い上げいただき、誠にありがとうございます。本書に記載されている注意事項などを正しくご理解のうえ、お使いいただきますようお願い申し上げます。

1. 本書に記載の製品及び技術で、『外国為替及び外国貿易法』に該当するものを輸出する時、又は、国外に持ち出す時は、日本政府の許可が必要です。
2. 本書に記載されている製品は、一般電子機器（事務機器、通信機器、計測機器、家電製品など）に使用されることを意図しております。特別な品質、信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼしたりする恐れのある特定用途機器（自動車・鉄道・船舶・航空・宇宙用機器、交通機器、燃焼機器、安全装置、医療機器、インフラ機器、原子力など）には使用しないでください。もしこれらの機器でご使用になる場合は、お客様の責任のもとでご使用ください。
3. 本書の内容の一部または全部を当社の文書による承諾なしに、無断で転載することは固くお断りいたします。
4. 本書に記載の内容は、将来予告なしに変更される場合があります。
5. 本書に記載の仕様は、お客様の環境、測定条件によって異なる結果が得られる場合があります。
6. 運用した結果の影響について、一切の責任を負いかねますのでご了承ください。
7. 本書に記載の「使用上のご注意」は、使用者や他者への危害と財産の損害を未然に防ぎ、安全に正しくお使いいただくための重要な注意事項です。ご使用になる前に必ずお読みください。
8. 本書に記載されている製品名および商品名は、各社の商標または登録商標です。



本製品は FCC(米国連邦通信委員会)規則の Part15 に基づく Class A デジタル装置で、当該規定に準拠していることが試験により実証済みです。

この規定は商業環境で稼働させる際の、有害な干渉に対する妥当な保護を提供するために設けられているものです。取り扱いマニュアルにしたがって設置および運用しない場合、無線通信に有害な干渉を与える可能性があります。

一般家庭環境でご使用になると電波干渉を起こす可能性があります。干渉を起こした場合はお客様自身によってその干渉を回避する適切な処置を行ってください。



本製品は European Standards - Directive 2004/108/EC - “Electromagnetic compatibility(EMC)”の計測機器「EN61326」に適合していることを試験により実証済みです。



本製品は 2011/65/EU (Directive on the Restriction of the use of certain Hazardous Substances in electrical and electronic equipment<recast>)の改正 RoHS 指令に準拠しています。



お問い合わせ先は **株式会社 Sohwa & Sophia Technologies** のホームページをご確認ください。
URL > <http://www.ss-technologies.co.jp>

使用上の注意



下記の注意を守らないと人が死亡する、または重傷を負う可能性があります。



強制

本製品に仕様で規定した範囲外の電源電圧を加えないでください。
範囲外の電源電圧を加えると、破損・火災の恐れがあります。



強制

アース端子が付いているターゲットに使用する場合は、ターゲットや周辺機器のアースを確実に接続してください。機器の故障や感電の恐れがあります。
また、ガス管にアース端子をつながないでください。火災や爆発の原因になります。



禁止

本製品に接続した機器を取り付けたまま持ち運ばないでください。
特にケーブルはプラグを持って抜き差ししてください。ケーブルが破損し、火災・感電の恐れがあります。



禁止

ケーブルを取り扱う場合は次の点を守ってください。「傷つけない」「加工しない」「無理に曲げない」「ねじらない」「引っ張らない」「物を載せない」「加熱しない」「熱器具に近づけない」「濡れた手で触らない」。
これらを守らないと火災・感電の恐れがあります。
もしケーブルが破損した場合、そのケーブルの使用を中止してください。



禁止

雷が鳴りだしたら、電源プラグに触れないでください。感電の原因となります。
落雷により製品が破損したと思われる場合は、本製品の使用を中止してください。



禁止

ステープルの針、クリップなどの金属を内部に入れないでください。火災・故障の恐れがあります。



禁止

直射日光の当たる場所、熱器具の近く、極端な高温環境、極端な低温環境、振動の激しいところ、金属や油を含むほこりの多い場所、スパイク系のノイズが発生する場所で使用したり、放置しないでください。
また、強い衝撃を与えないで下さい。



分解禁止

分解・改造・修理しないでください。火災・感電の恐れがあります。



水濡れ禁止

風呂場やコップの近くなど、液体のある場所、湿気が多い場所では使用しないでください。
感電する恐れがあります。
液体が本製品内部に入った場合はすぐに電源を切り、使用を中止してください。



注意

通電中の本製品に長時間触れていると低温やけどになる恐れがあります。
また、本製品を布団などで覆った状態で使用しないでください。



プラグを抜く

もし、異常なおおい・異常な音・発煙・発火した場合、または落としたり、強い衝撃を与えたりして破損、破損した恐れのある場合は、すぐに電源を切ってください。そのまま使うと重大な事故を起こす可能性がありますので、使用を中止してください。

略語・用語・記載ルール

本書で使用する略語・用語や記載ルールについて説明します。

- 数値について … 特に記載がない限り、数値はすべてプラスの値とします。
- K(大文字) … $2^{10}=1024$ を表します。(例：16K=16384)
- k(小文字) … 1000 を表します。(例：1kHz=1000Hz)

本書で使用する注釈・注意点などについては Figure 1 の通りです。

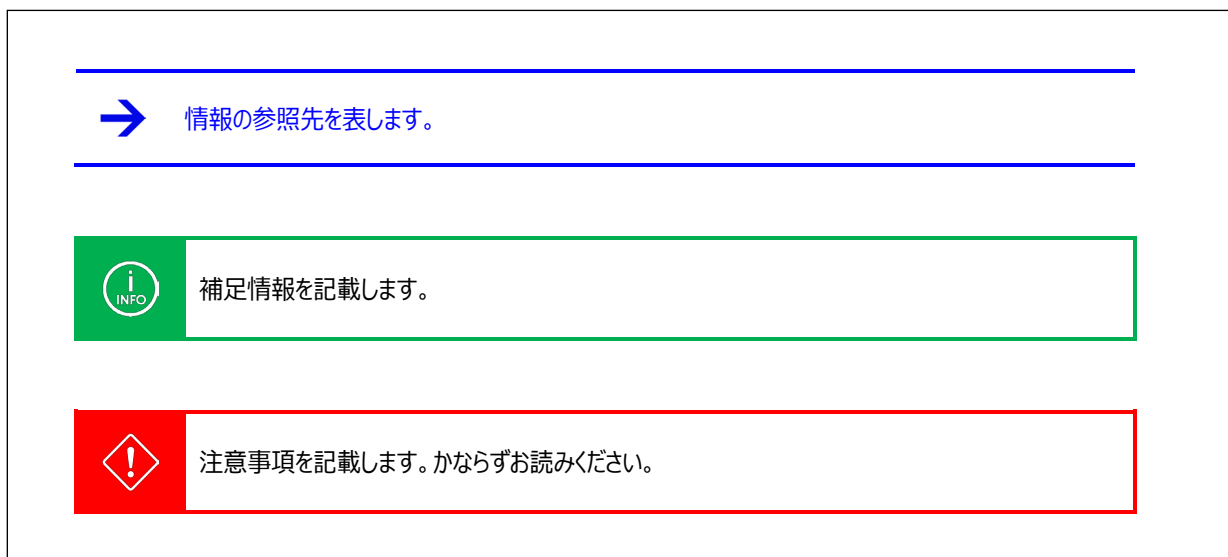


Figure 1

略語・用語の解説は Table 1 の通りです。

Table 1






略語・用語	説明
本製品	Universal Probe Blue の本体・付属品を含むもの。
本機	Universal Probe Blue 本体のこと。
Serial No.	Serial Number の略。本機の ID のこと。
SSS キー	有償の機能を使用可能にするためのライセンスコードのこと。
LA	Logic Analyzer の略。
PG	Pattern Generator の略。
PA	Protocol Analyzer の略。
ホスト PC	Universal Probe Blue を制御する PC のこと。
ターゲット	Universal Probe Blue によって制御、計測する対象のこと。
スタンドアロン機能	ホスト PC と接続しなくても動作すること。(電源は必要)
IDE	Integrated Development Environment(統合開発環境)の略。
(N/A)	Not Assigned の略。割り当てられた情報がないことを表す。
TCK	Test Clock の略。JTAG インターフェースのクロック。
TMS	Test Mode Select の略。接続先の JTAG TAP コントローラのステートを制御する。
TDI	Test Data In の略。JTAG インターフェースのデータ入力。本機からは出力となる。
TDO	Test Data Out の略。JTAG インターフェースのデータ出力。本機では入力となる。
TRST(nTRST)	Test Reset の略。JTAG TAP コントローラをリセットする信号。
SRST(nSRST)	System Reset の略。通常はターゲットのメインリセットに接続する。
RTCK	Return TCK の略。ターゲット側から出力されるクロック。
DBGREQ	Debug Request の略。本機からターゲットを停止してデバッグ状態にする。
DBGACK	Debug Acknowledge の略。DBGREQ によってターゲットが停止すると変化する。
SWD	Serial Wire Debug の略。
SWCLK	Serial Wire Clock の略。SWD におけるクロック。
SWDIO	Serial Wire Data I/O の略。SWD におけるデータ入出力。
SWO	Serial Wire Output の略。SWD におけるトレースデータの出力。本機では入力となる。
SWV	Serial Wire Viewer の略。トレースデータをシリアルで出力する機能のことを指す。

1. 本製品について

1.1. 内容物の確認

本製品の内容物は Table 2 の通りです。
破損や、内容物の不足がありましたら、当社ホームページからご連絡いただけますようお願い申し上げます。

Table 2

外観	名称	数量
	Universal Probe Blue (本体)	1 個
	USB ケーブル (付属品)	1 本
	フラットケーブル (付属品)	1 本
	拡張ケーブル (付属品)	3 本
	案内文	1 枚

1.2. 各部名称

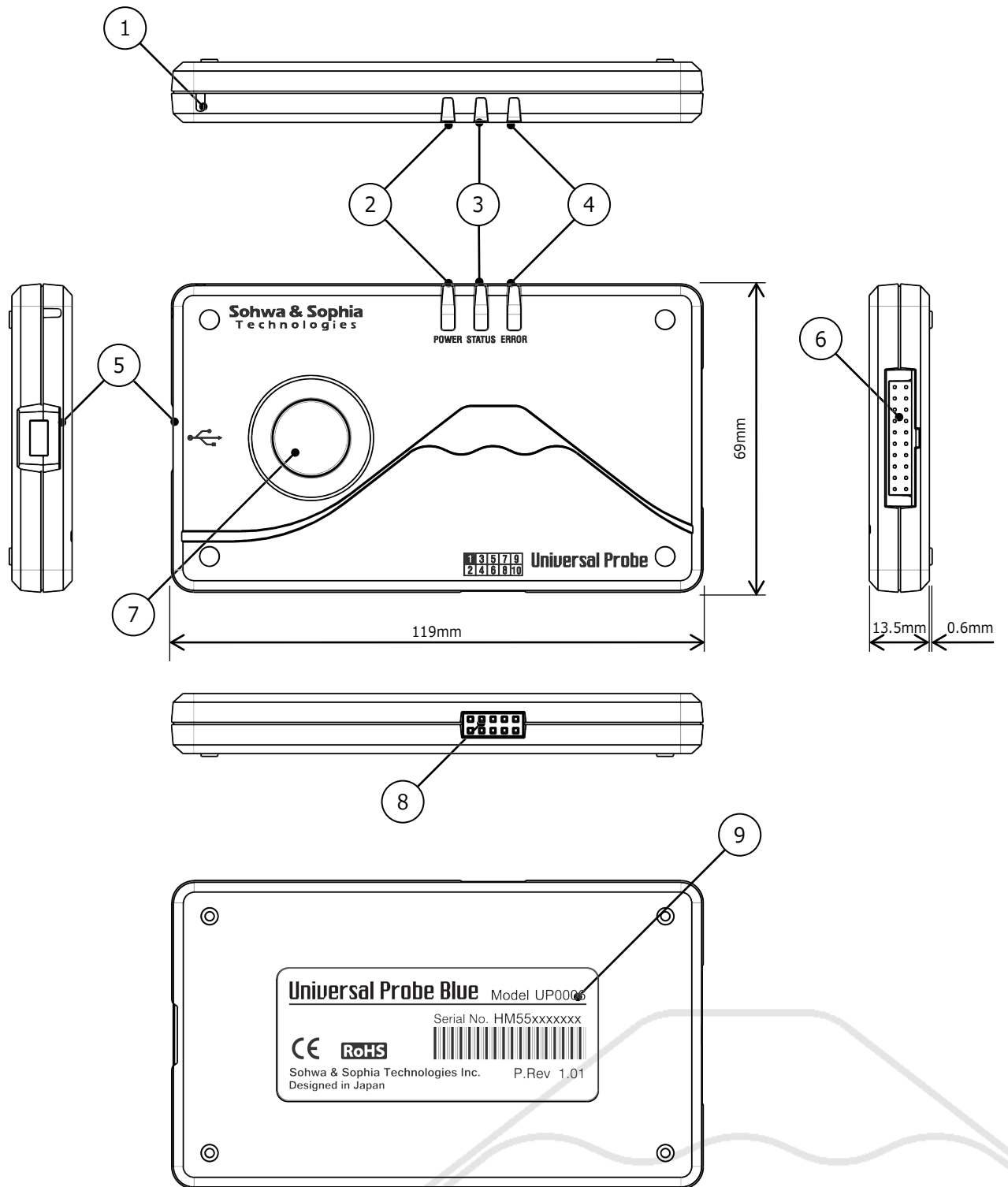


Figure 2

Table 3

番号	名称	説明									
①	ストラップホール	ストラップを通す穴です。									
②	POWER LED (緑)	本機の電源投入状態を表します。(点灯=ON、消灯=OFF)									
③	STATUS LED (緑)	本機の動作状態を表します。									
		<table border="1"> <thead> <tr> <th></th> <th>点滅</th> <th>点灯</th> </tr> </thead> <tbody> <tr> <td>スタンダアロン動作以外</td> <td>ホスト PC と通信中</td> <td>(ありません)</td> </tr> <tr> <td>スタンダアロン動作時</td> <td>動作中</td> <td>正常終了</td> </tr> </tbody> </table>		点滅	点灯	スタンダアロン動作以外	ホスト PC と通信中	(ありません)	スタンダアロン動作時	動作中	正常終了
			点滅	点灯							
スタンダアロン動作以外	ホスト PC と通信中	(ありません)									
スタンダアロン動作時	動作中	正常終了									
④	ERROR LED (赤)	エラーが発生した場合に点灯します。エラーの理由は機能によって異なります。									
⑤	USB コネクタ	ホスト PC と付属の USB ケーブルで接続するコネクタです。									
⑥	I/O コネクタ	ターゲットと接続するコネクタです。									
⑦	RUN ボタン	特定の動作を開始するボタンです。動作は機能によって異なります。									
⑧	拡張コネクタ	本機を複数台連携させたり、外部から本機を制御するために使用します。									
⑨	製品ラベル	本機の Serial No. が記載されています。									



Serial No.は個体を識別する重要なコードです。絶対に剥がしたり、削るなどの読み取れなくなるような行為はお止めください。追加のソフトウェアが登録できなくなったり、保証が受けられなくなる可能性があります。製品ラベルは再発行できません。



本機を分解しないでください。分解すると保証が受けられなくなります。

1.3. 主な仕様

本機の主な仕様を Table 4 に記します。

Table 4

項目	仕様
本体寸法	W:119mm x D:69mm x H:14.1mm
本体重量	74g
電源電圧	5.0V±5% USB バスパワー
消費電流	約 400mA ^{*1}
USB インターフェース規格	USB 2.0 High-Speed
USB コネクタ	USB Mini-B タイプ
I/O コネクタ	20 ピン、2.54mm ピッチ
拡張コネクタ	10 ピン、2.54mm ピッチ
I/O コネクタ入カインピーダンス	約 70kΩ
I/O コネクタ出カインピーダンス	約 250Ω
Vtref 電圧(V _{IF}) ^{*2}	1.2V ~ 5.0V (±10%)
I/O コネクタ入力電圧	$V_{IL} \leq 0.3 \times V_{IF}$, $V_{IH} \geq 0.7 \times V_{IF}$
I/O コネクタ出力電圧 ^{*3}	$V_{OL} \leq 0.3 \times V_{IF}$, $V_{OH} \geq 0.7 \times V_{IF}$
電源出力機能 ^{*4}	1.2V, 1.5V, 1.8V, 2.5V, 3.3V, 5.0V (±10%) / 40mA(max)
動作温度	0 ~ 55℃
保存温度	0 ~ 60℃

*1：消費電流は使用環境によって変動する場合があります。

*2：Pattern Generator で 5.0V 出力はできません。

*3：端子オープン状態での仕様です。

*4：電源出力は特定の機能でのみ有効です。

1.4. 主な機能

本機は各種ソフトウェアと組み合わせることにより、以下の機能を提供します。

Table 5

ソフトウェア名称	機能説明	ライセンス
CMSIS-DAP	Keil MDK-ARM, IAR Embedded WorkBench for ARM, Eclipse(OpenOCD+CMSIS-DAP) 環境に接続できるデバッグアダプタ機能です。	無償
Boundary-Scan Tool	バウンダリスキャン機能をもったデバイスの I/O の状態を表示したり、結線テストなどを行うツールです。	無償
Logic Analyzer/ Protocol Analyzer	8ch, 100MSa/s の LA です。本機を 4 台連携させることで最大 32ch まで拡張することができます。 また、PA 機能により特定のプロトコルを解析・デコードしたり、プロトコルトリガをかけることができます。	無償
Pattern Generator	8ch/2.5Mbps 出力の PG です。 出力できる信号は 0.0V~3.3V で、Hi-Z も設定可能*1 です。	無償
WATCHPOINT	当社製デバッガとの組み合わせでソフトウェアのデバッグを行う機能です。	有償

*1 : Hi-Z 機能は出力するデータレートによっては設定できません。



複数の有償機能を使用する場合は、本機と使用する機能のライセンスを必要数ご用意ください。
1 台で同時に動作する機能は 1 つのみです。



各種ソフトウェアの入手方法については[弊社ホームページ](#)を参照ください。

1.5. ライセンスの入手

有償のソフトウェアを使用するためには、SSS キー(ライセンス)が必要です。
無償でお使いいただけるソフトウェアに SSS キーは不要です。

入手方法は各ソフトウェアのマニュアルを参照いただくか、弊社営業部までお問い合わせください。

2. 使用方法

本機の使用方法を示します。

Figure 3 は弊社の Freescale i.MX6Q プロセッサを搭載した評価ボード「Collage-MX6Q」と接続した例です。



Figure 3



CMSIS-DAP として使用する場合と、それ以外の機能で使用する場合で、その都度ファームウェアを書き換える必要があります。詳細は「ソフトウェア・ユーザーズ・マニュアル - Firmware Selector」を参照ください。

2.1. ホスト PC と接続する

ホスト PC との接続は付属の USB ケーブルのコネクタ部を持って Figure 4 で示すように本機へ接続してください。USB ケーブルを接続すると自動的に電源が入ります。

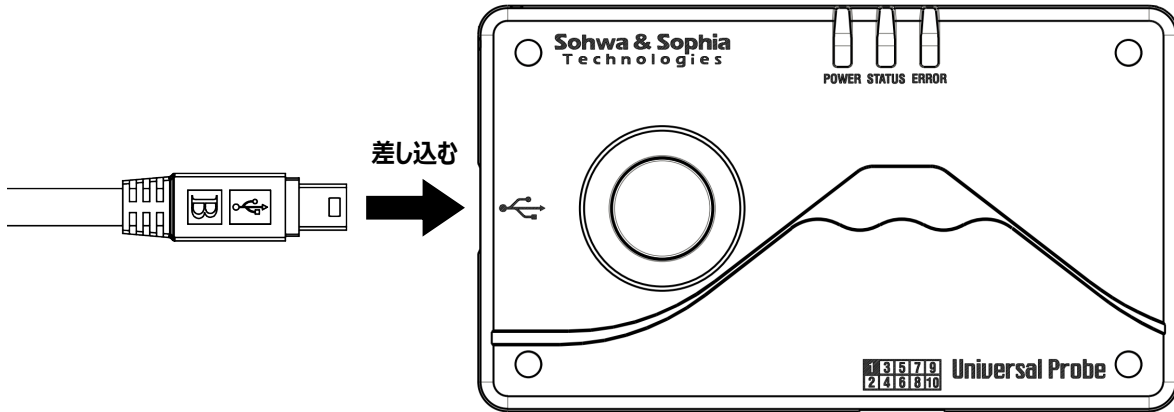


Figure 4

2.2. ホスト PC から取り外す

ホスト PC から取り外す際は付属の USB ケーブルのコネクタ部を持って Figure 5 で示すように本機から引き抜いてください。取り外す際は必ずソフトウェアを停止状態にしてから行ってください。

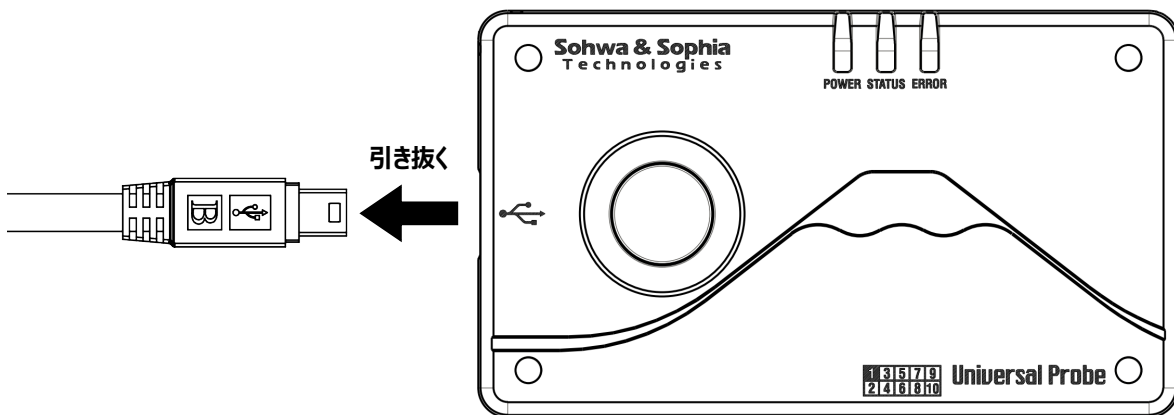


Figure 5



デバッグ中や信号出力中に取り外すと、本機やターゲットが破損する恐れがあります。

2.3. ターゲットと接続する

ターゲットとの接続方法を示します。

本機側は付属のフラットケーブルのコネクタの、突起のある方を裏にして奥まで差し込みます。

フラットケーブルのどちらのコネクタを接続しても構いません。

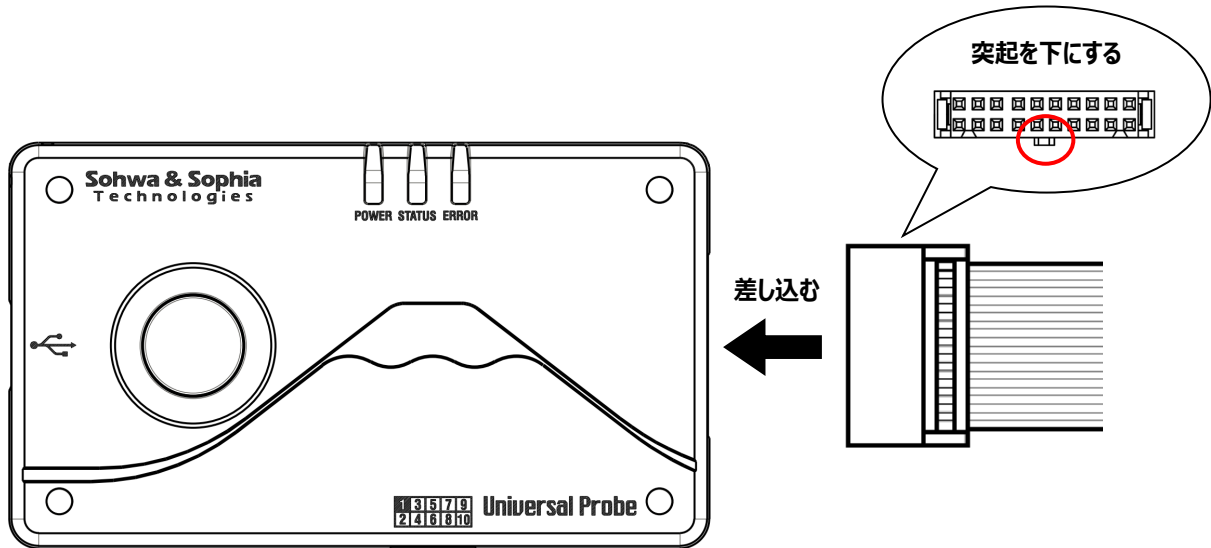


Figure 6

2.3.1.より、各機能におけるターゲットとの接続方法と、I/O コネクタの端子配列について説明します。

表中の入出力欄に記載している記号の意味は Table 6 の通りです。

Table 6

I	: 入力
O	: 出力
OC	: オープンコレクタ出力
---	: 定義なし

“A/B”の形式で表記されているものは、A と B の機能を有していることを表します。

2.3.1. CMSIS-DAP

付属のフラットケーブルをターゲットの ARM 20 ピンコネクタに接続します。
 CoreSight 20 ピンや、CoreSight 10 ピンに接続する場合は、別途変換アダプタが必要です。
 ターゲット側のコネクタに切り欠きがない場合は、Figure 7 を参照してターゲットの 1 番ピンとフラットケーブルの 1 番ピンを合わせてください。

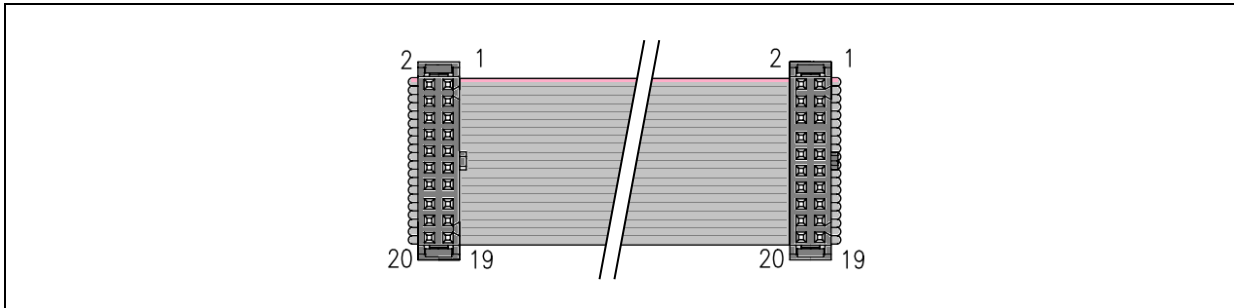


Figure 7

➔ ARM 20 ピンコネクタの最新端子配列は ARM Web サイトから、「ARM JTAG 20」で検索してください。

本機能では「JTAG モード」と「SWD モード」によって端子の機能が変化します。JTAG モードは Table 7、SWD モードは Table 8 を参照してください。

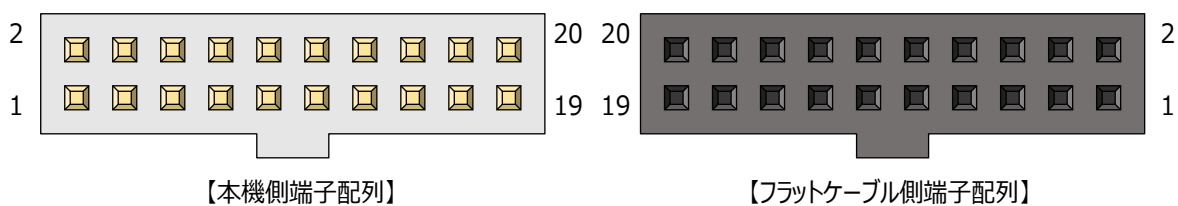


Figure 8

■ JTAG モード

(N/A)の端子には何も接続しないでください。

Table 7

端子番号	端子名	入出力	端子番号	端子名	入出力
1	Vtref	I	2	(N/A)	---
3	nTRST	O	4	GND	---
5	TDI	O	6	GND	---
7	TMS	O	8	GND	---
9	TCK	O	10	GND	---
11	RTCK	I	12	GND	---
13	TDO	I	14	GND	---
15	nSRST	I/OC	16	GND	---
17	DBGREQ	O	18	GND	---
19	DBGACK	I	20	GND	---

■ SWD モード

(N/A)の端子には何も接続しないでください。

Table 8

端子番号	端子名	入出力	端子番号	端子名	入出力
1	Vtref	I	2	(N/A)	---
3	(N/A)	---	4	GND	---
5	(N/A)	---	6	GND	---
7	SWDIO	I/O	8	GND	---
9	SWCLK	O	10	GND	---
11	(N/A)	---	12	GND	---
13	SWO	I	14	GND	---
15	nSRST	I/OC	16	GND	---
17	(N/A)	---	18	GND	---
19	(N/A)	---	20	GND	---

お客様が開発したターゲットで CMSIS-DAP 機能を使用する場合、お客様の回路に弊社推奨のコネクタと、推奨の端子処理を設けてください。弊社推奨のコネクタは以下の 4 種類になります。推奨する端子処理の詳細は「4.2. ターゲット側の推奨端子処理」を参照ください。

- 7620-6002PL, 7620-6002BL [3M 社] … ストレートタイプ
- 7620-5002PL, 7620-5002BL [3M 社] … ライトアングルタイプ



推奨の端子処理がお客様の回路に影響がないかは、お客様自身でご確認ください。
 推奨の端子処理が原因でお客様側の回路に問題が生じても、当社は一切の責任を負いませんので予めご了承ください。
 ご了承いただけない場合は、推奨の端子処理を参照しないでください。
 なお、推奨の端子処理は予告なく変更する場合があります。

2.3.2. Boundary-Scan Tool

* 2.3.1. CMSIS-DAP と同様ですが、JTAG モードにのみ対応しています。

2.3.3. Logic Analyzer/Protocol Analyzer

測定対象の信号線への接続は、Figure 10、Figure 11 を参考にして行ってください。

本機 I/O コネクタの端子配列およびフラットケーブルを接続した際のケーブル側端子配列は Figure 9 のとおりです。

できるだけ本機とターゲットの GND 端子を接続するようにしてください。本数が少ないと正常に測定できない場合があります。

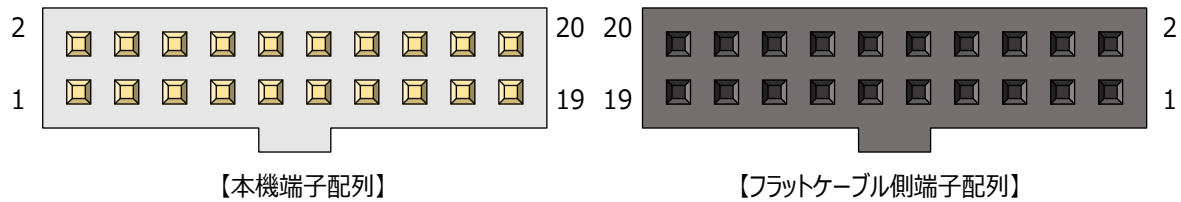


Figure 9

端子配列の詳細を Table 9 に記します。
(N/A)の端子には何も接続しないでください。

Table 9

端子番号	端子名	入出力	端子番号	端子名	入出力
1	(N/A)	---	2	(N/A)	---
3	D0	I	4	GND	---
5	D1	I	6	GND	---
7	D2	I	8	GND	---
9	D3	I	10	GND	---
11	D4	I	12	GND	---
13	D5	I	14	GND	---
15	D6	I	16	GND	---
17	D7	I	18	GND	---
19	(N/A)	---	20	GND	---

LA や PG などはバラ線での接続も可能です。GND を多く接続するようにしてください。

①直接接続する

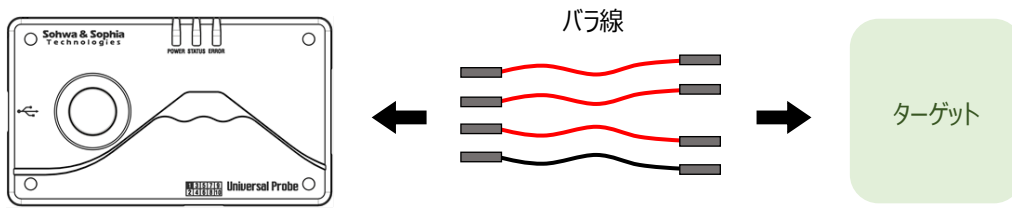


Figure 10

②フラットケーブルを介して接続する

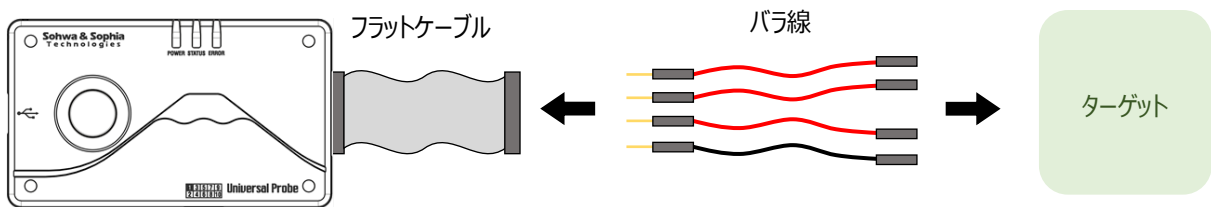



Figure 11

 バラ線はお客様にてご準備下さい。
 バラ線によっては性能が低下する可能性がありますので、予めご了承下さい。

2.3.4. Pattern Generator

出力対象の信号線への接続は、Figure 10、Figure 11 を参考にして行ってください。
 本機 I/O コネクタの端子配列およびフラットケーブルを接続した際のケーブル側端子配列は Figure 12 のとおりです。
 できるだけ本機とターゲットの GND 端子を接続するようにしてください。本数が少ないと正常に出力できない可能性があります。

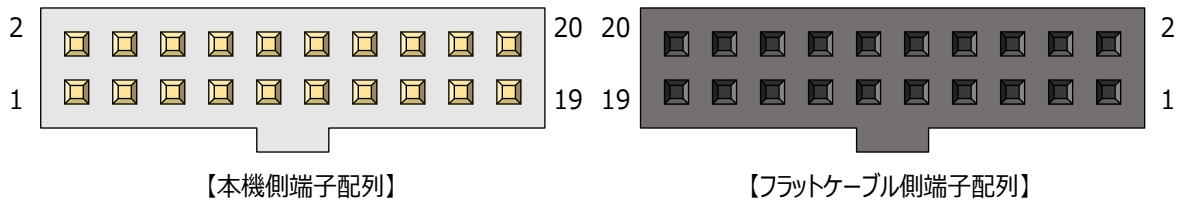


Figure 12

端子配列の詳細を Table 10 に記します。
 (N/A)の端子には何も接続しないでください。

Table 10

端子番号	端子名	入出力	端子番号	端子名	入出力
1	(N/A)	---	2	(N/A)	---
3	D0	O/OC	4	GND	---
5	D1	O/OC	6	GND	---
7	D2	O/OC	8	GND	---
9	D3	O/OC	10	GND	---
11	D4	O/OC	12	GND	---
13	D5	O/OC	14	GND	---
15	D6	O/OC	16	GND	---
17	D7	O/OC	18	GND	---
19	(N/A)	---	20	GND	---

LA や PG などはバラ線での接続も可能です。GND を多く接続するようにしてください。(前のページを参照)

2.3.5. WATCHPOINT

* 2.3.1. CMSIS-DAP と同様です。

2.4. 複数台連携する

LA/PA 機能のみ 4 台まで連携させることができ、32ch まで増やすことができます。
 付属の拡張ケーブルを Figure 13 の図のように接続することで、複数の本機の動作を同期させることができます。

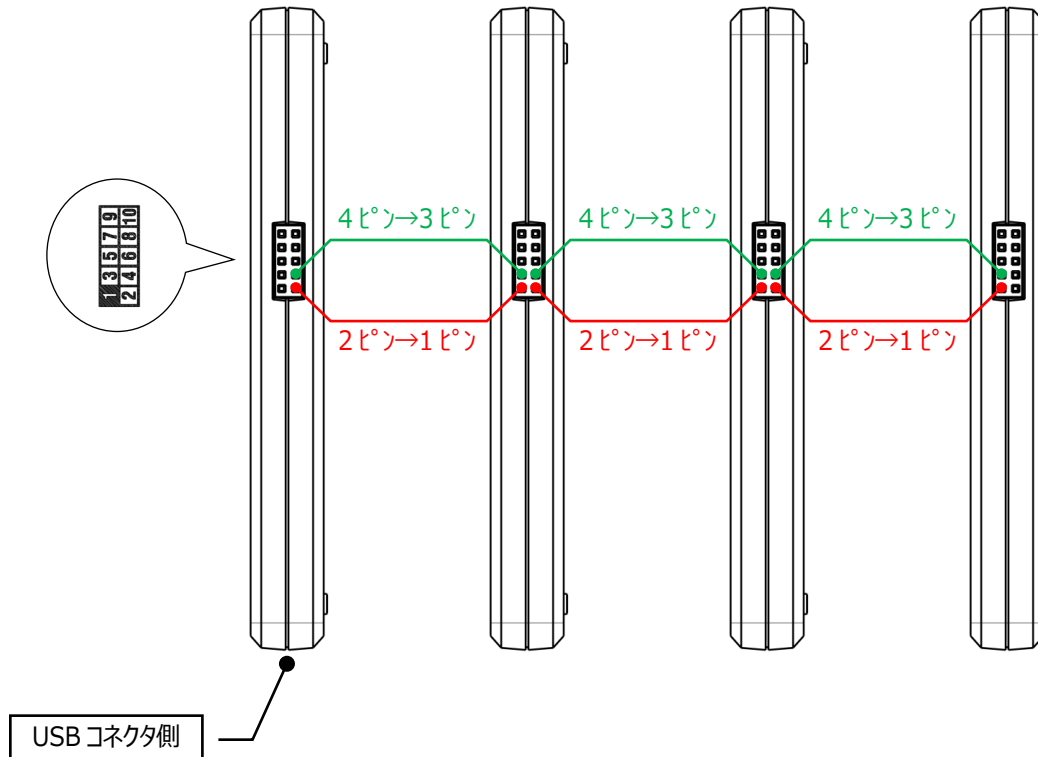


Figure 13

3. 各機能の仕様

3.1. CMSIS-DAP

CMSIS-DAP 機能は以下の IDE と本機を接続し、デバッグ機能を提供します。
対応アーキテクチャは「Cortex-A, R, M」ですが、使用する IDE によっては対応していないデバイスもあります。

- MDK-ARM (ARM 社)
- IAR Embedded WorkBench for ARM (IAR Systems 社)
- Eclipse (オープンソース)

CMSIS-DAP 機能の仕様を Table 11 に示します。

Table 11

項目	仕様
Vtref 電圧範囲* ¹	1.2V ~ 5.0V (±10%)
対応 I/F	JTAG, SWD
TCK 周波数	20MHz (max)
SWCLK 周波数	10MHz (max)
SWV	非対応
ホットプラグ	対応* ²

*1 : ターゲットから供給される電圧です。本機の I/O 電圧は供給される Vtref に追従します。

*2 : IDE のデバッグ起動前のホットプラグに対応しています。デバッグ中/デバッグ起動中の抜き差しはできません。



CMSIS-DAP に対応するデバイスについては各 IDE の最新情報をご確認ください。



ホットプラグについては各「IDE 接続マニュアル」を参照ください。(Eclipse は除く)

3.2. Boundary-Scan Tool

Boundary-Scan Tool は、JTAG を利用して以下の機能を提供します。

- 指定したデバイスの端子状態を波形で表示します。
- 指定したデバイスの端子状態一覧をリストで表示し、端子毎に入出力を切り替えたり*¹ 出力値を設定できます。
- 出力値・期待値を設定し、入力値と期待値を自動チェックすることでプリント基板の結線チェックが行えます。

バウンダリスキャンのイメージを Figure 14 に示します。

Figure 14 は、Device1 の出力端子と Device2 の入力端子が正常に結線されているかをチェックする様子を表しています。まず、Boundary-Scan Tool によって Device1 の出力端子に値をセットします。Device1 と Device2 が正しく接続されていれば、Device2 の入力端子に信号が伝わります。Boundary-Scan Tool は Device2 の端子状態を読み出し、期待値と比較することで結線されているかをチェックすることができます。

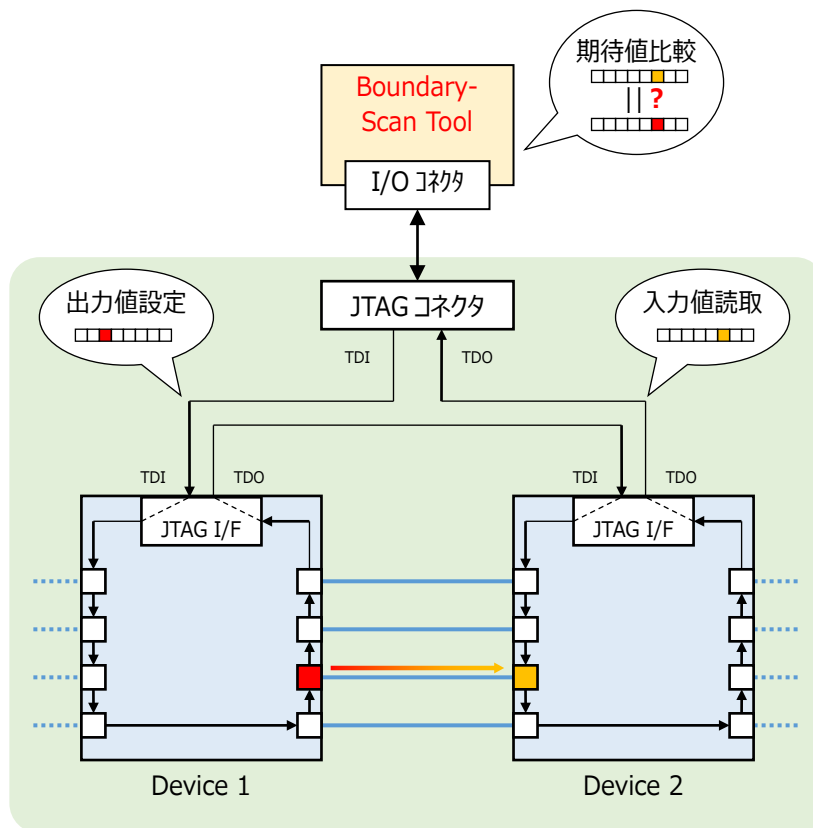


Figure 14

Boundary-Scan Tool の仕様を Table 12 に示します。

Table 12

項目	仕様
Vtref 電圧範囲* ²	1.2V ~ 5.0V (±10%)
TCK 周波数	20MHz (max)
サンプリングレート	<10Hz (> 100ms)

*1 : 入力専用や出力専用端子は切り替えられません。

*2 : ターゲットから供給される電圧です。本機の I/O 電圧は供給される Vtref に追従します。

3.3. Logic Analyzer/Protocol Analyzer

Logic Analyzer は電気信号の High/Low を記録し、波形で表示する機能です。Logic Analyzer は最大 4 台連携することで、チャンネル数を最大 32 チャンネルまで拡張することができます。

Protocol Analyzer は主にシリアル系インターフェースのプロトコルをデコードして読みやすい形式で表示したり、内容を解析してトリガをかけたりすることができます。これらの仕様を Table 13 に示します。

トリガ機能については Table 14 に示します。

Table 13

項目	仕様
入力電圧範囲	0.0V ~ 5.0V
入力周波数帯域	単体動作時 : DC ~ 25MHz 連携動作時 : DC ~ 2.5MHz
スレッシュホールド電圧	0.6V, 0.75V, 0.9V, 1.25V, 1.66V, 2.5V, 3.0V から選択
チャンネル数	8ch (4 台連携により最大 32ch まで拡張可能)
サンプリング速度 (単体動作時)	内部クロック使用時 : 1kSa/s ~ 100MSa/s 外部クロック使用時 : DC ~ 25MSa/s
サンプリング速度 (連携動作時)	内部クロック使用時 : 1kSa/s ~ 10MSa/s 外部クロック使用時 : DC ~ 10MSa/s
メモリ容量と記録時間	50MSa/s ~ 100MSa/s : 高速メモリ 16Kbit/ch = 327us (max)
	200kSa/s ~ 25MSa/s : 大容量メモリ 100Mbit/ch = 500s (max)
	1kSa/s ~ 100kSa/s : HDD
ビットスキュー	単体動作時 : <3ns 連携動作時 : <30ns
トリガ機能	パターン・エッジトリガ、シーケンシャルトリガ、プロトコルトリガ、外部トリガ 上記トリガ機能は AND/OR 条件が設定可能、複数台連携時は AND 条件のみ設定可能
トリガ位置設定	0% ~ 100%
トリガカウント設定	1 回 ~ 100 回
プロトコル解析機能	あり (UART, I2C, SPI, CAN 2.0)



連携動作時はサンプリング速度、入力周波数帯域の上限にご注意ください。

Table 14

トリガ種類	仕様
パターン・エッジトリガ	立ち上がりエッジ、立ち下がりエッジ、両エッジ、High レベル、Low レベル
シーケンシャルトリガ*1	最大 256 パターンのトリガシーケンスを作成可能 (High/Low/Don't Care から選択可)
プロトコルトリガ*1	UART : Start, Data, Stop, Parity, ParityError, StopError
	I2C : Start, Slave Address, Read Packet, Write Packet, ACK, NACK, Data, Repeated Start, Stop
	SPI : Data
	CAN : SOF, BaseID, ExtID, RTR, SRR, IDE, R1, R0, DLC, Data, CEC, ACK, EOF, Overload, Error, CRC Error, NACK
外部トリガ	立ち上がりエッジ、立ち下がりエッジ

*1 : シーケンシャルトリガとプロトコルトリガは同時に使用できません。

3.4. Pattern Generator

Pattern Generator はお客様が作成した任意のデジタル波形を出力する機能です。
Logic Analyzer で取得した波形データを Pattern Generator で再生することもできます。
Pattern Generator の仕様を Table 15 に示します。

Table 15

項目	仕様
出力電圧(V_{IF})	1.2V, 1.5V, 1.8V, 2.5V, 3.3V
出力電圧範囲* ¹	0.0V ~ (V_{IF})V [$V_{OL} \leq 0.3 \times V_{IF}$, $V_{OH} \geq 0.7 \times V_{IF}$]
出力データレート* ²	≤ 2.5 Mbps (≥ 400 ns)
出力レベル* ¹	High レベル、Low レベル、Hi-Z
チャンネル数	8ch
メモリ容量	12Kbit/ch
ビットスキュー* ¹	<6.0ns
立上り時間* ¹	代表値 : 20ns ワースト : 30ns
Hi-Z 遷移時間	約 100ns

*1 : 出力をオープン状態とした場合です。

*2 : Hi-Z 機能は出力データレートが 1Mbps 以下の場合で使用可能です。



Hi-Z を使用した信号波形生成を行う場合、本機外部に 1.5k Ω 程度のプルアップ/プルダウン抵抗を接続することをおすすめします。

PG の波形エディタで Hi-Z を設定した際、実際の出力は High/Low と Hi-Z の遷移に若干の遅延(=Hi-Z 遷移時間)があります。

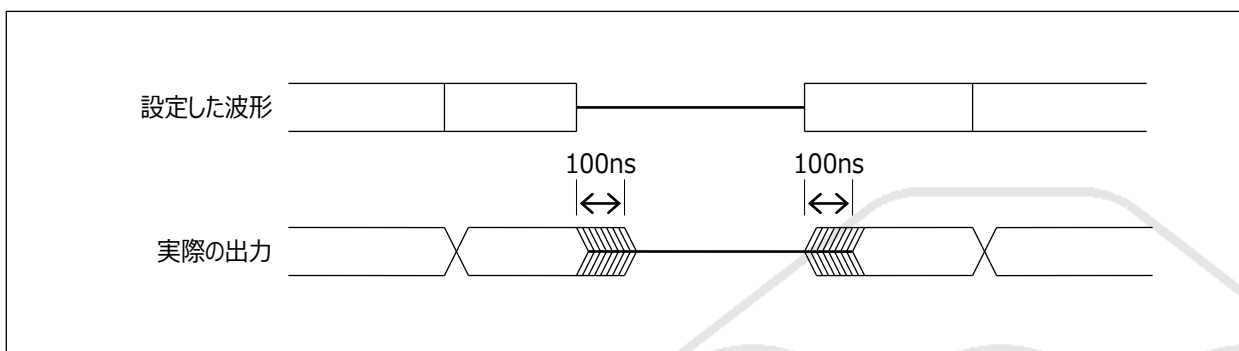


Figure 15

3.5. WATCHPOINT

JTAG/SWD インターフェースを使用して各種 CPU の内部レジスタや内蔵メモリへアクセスしたり、実行制御を行うことでソフトウェアのデバッグを行う機能です。

対応する CPU については弊社ホームページをご確認ください。

本機能はスタンドアロン動作が可能です。スタンドアロン動作については「3.6. スタンドアロン動作」を参照ください。

WATCHPOINT 機能の仕様を Table 16 に示します。

Table 16

項目	仕様
Vtref 電圧範囲 ^{*1}	1.2V ~ 5.0V (±10%)
対応 I/F	JTAG, SWD
TCK 周波数	20MHz (max)
SWCLK 周波数	10MHz (max)
SWV	対応
ホットプラグ	対応 ^{*2}

*1 : ターゲットから供給される電圧です。本機の I/O 電圧は供給される Vtref に追従します。

*2 : WATCHPOINT 起動前のホットプラグに対応しています。デバッグ中/デバッグ起動中の抜き差しはできません。



- ターゲット側の電源は本機から供給できません。
- Vtref の有無を無視して動作する場合は、3.3V の JTAG インターフェースのみに対応します。

3.6. スタンドアロン動作

スタンドアロン動作とは、書き込みデータや書き込み手順を本機に記憶させておき、ホスト PC と接続しなくても電源を供給した状態で本機の RUN ボタンを押すことによって、記憶させておいた処理を単体で実行するものです。

1) 書き込みデータと書き込み手順の記憶

ホスト PC に接続し、通常の手順でターゲットにデータを書き込みます。
このとき、書き込みデータと書き込み手順を本機に記憶します。

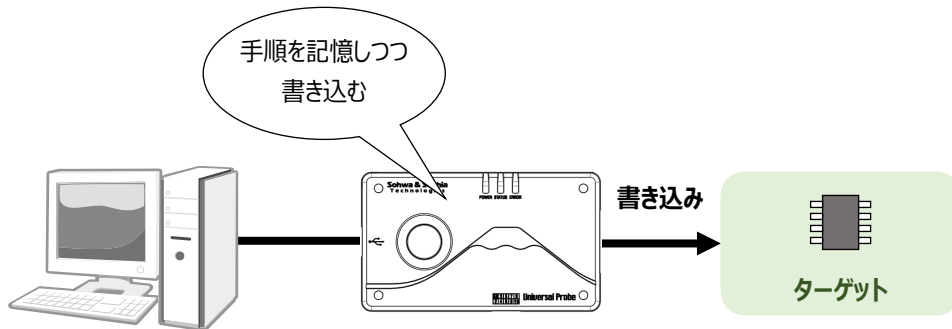


Figure 16

2) ホスト PC から切り離す

ホスト PC から切り離し、ターゲットと接続します。

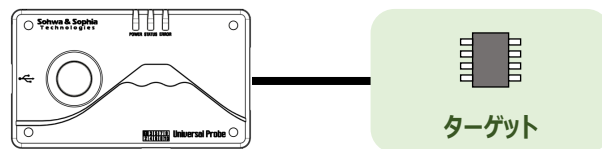


Figure 17

3) 電源を接続し、RUN ボタンを押す

例えば充電電池で電源を供給し、本機の POWER LED が点灯したことを確認して RUN ボタンを押します。

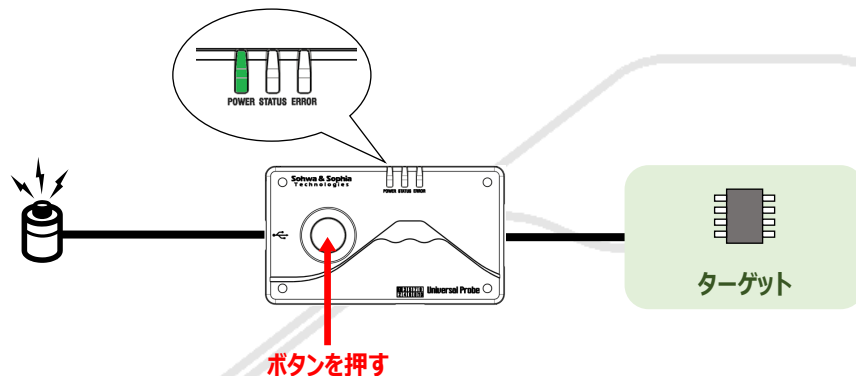


Figure 18

4) **書き込み処理を行います**

書き込み中は、STATUS LED が点滅します。

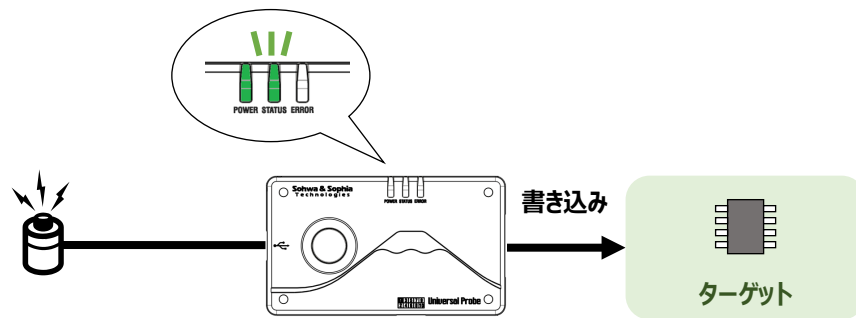


Figure 19

5) **書き込みが完了すると、結果を LED で通知します**

正常終了時は、STATUS LED が緑色に点灯し、エラー終了時は ERROR LED が赤色に点灯します。

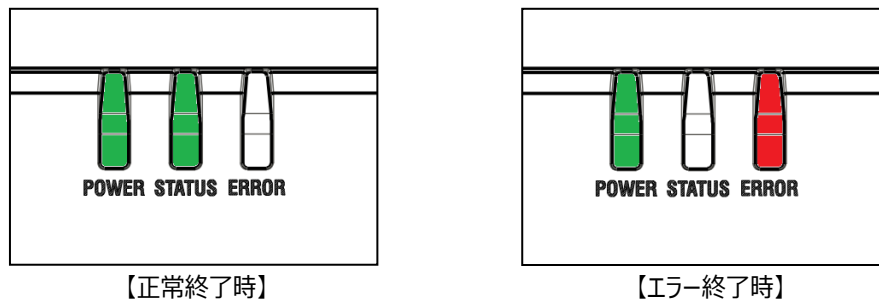


Figure 20

4. 付録

4.1. 拡張コネクタ ピンアサイン

拡張コネクタは本機同士を連携動作させたり、本機と外部機器の間でトリガ情報や動作結果を通信するために使用します。拡張コネクタの位置は Figure 2 の⑧になります。

拡張コネクタの端子配列を Table 17 に示します。
入出力欄の表現については Table 6 を参照ください。

Table 17

端子番号	端子名称	入出力	電圧	説明
1	LINKSYNC2	I/O	3.3V	連携用クロックの入出力端子 2 です。
2	LINKSYNC1	I/O	3.3V	連携用クロックの入出力端子 1 です。
3	LINKTRG2	I/O	3.3V	連携用トリガ入出力端子 2 です。
4	LINKTRG1	I/O	3.3V	連携用トリガ入出力端子 1 です。
5	(Reserved)	---	---	使用するソフトウェアのマニュアルに本端子についての記載が無い場合は、未接続として下さい。
6	ERROR	O	3.3V	機能によって信号の意味が変わります。(→Table 18 を参照)
7	TRGOUT	O	3.3V	機能によって信号の意味が変わります。(→Table 18 を参照)
8	TRGIN	I	3.3V	機能によって信号の意味が変わります。(→Table 18 を参照)
9	GND	---	---	GND 端子です。
10	VIN	---	5.0V	外部電源供給端子です。5.0V±5%を入力してください。

Table 18

	端子番号=6 [ERROR]	端子番号=7 [TRGOUT]	端子番号=8 [TRGIN]
CMSIS-DAP	機能無し	機能無し	機能無し
Boundary-Scan Tool	機能無し	機能無し	機能無し
LA/PA	機能無し	L=内部トリガ出力	L=外部トリガ入力 (連携時はマスターのみ有効)
PG	機能無し	機能無し	L=出力開始トリガ
WATCHPOINT	L=エラー終了表示	L=正常終了表示	L=書き込み開始トリガ



端子番号=8 [TRGIN] は、立ち下がりを検出すると動作を開始します。
LA/PA の外部トリガ入力時は立ち上がり・立ち下がりのいずれかを検出すると動作を開始します。(設定可能)

4.2. ターゲット側の推奨端子処理

CMSIS-DAP もしくは JTAG インターフェースで接続するターゲット側には、Figure 21 で示す端子処理を推奨します。ターゲット側に nSRST(システムリセット)、DBGRQ、DBGACK、RTCK の信号が無い場合は未接続でも構いません。

→ 端子処理については ARM Web サイトから、「ARM JTAG 20」で検索し、その説明も参考にして決定してください。

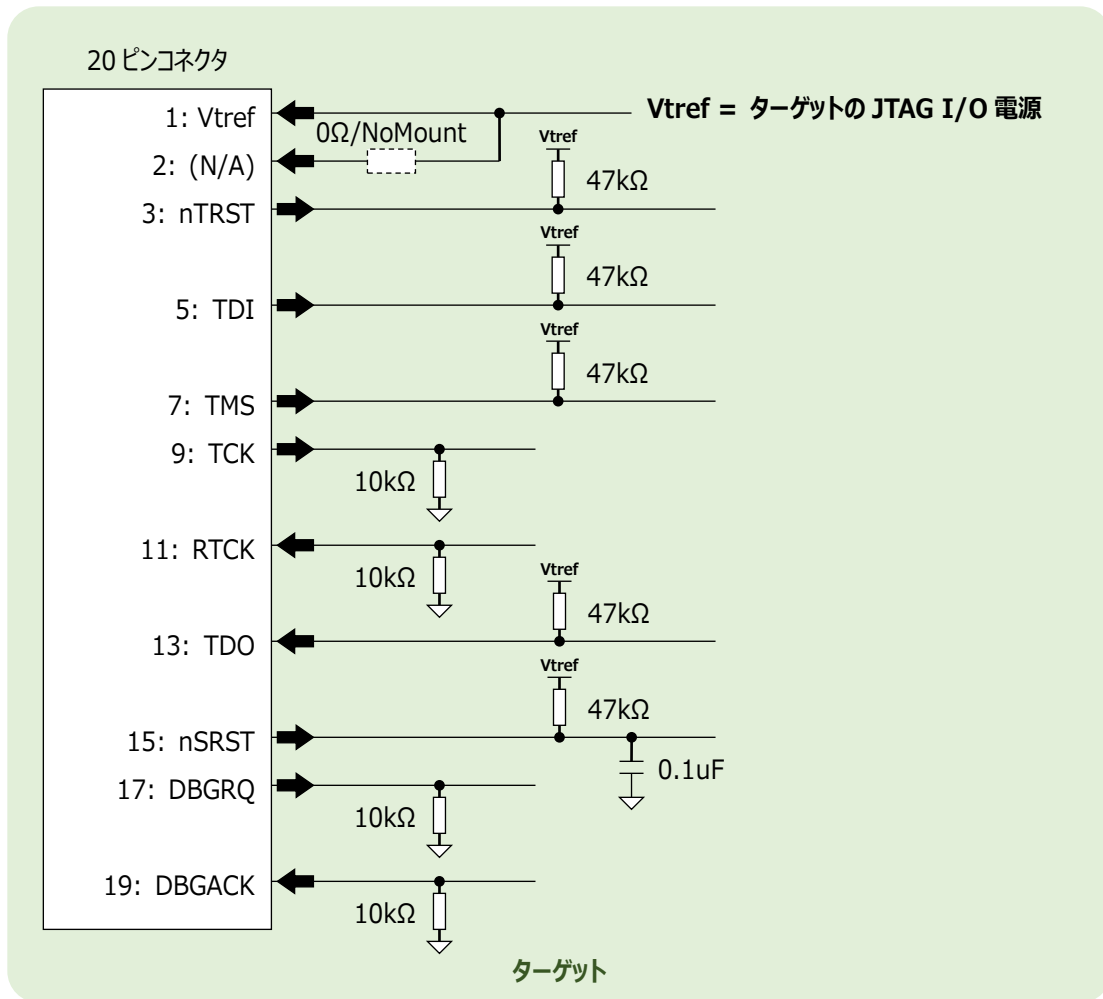


Figure 21

改訂履歴

版数	改訂日	改訂内容
01	2017/05/19	初版

製造者情報



株式会社 Sohwa & Sophia Technologies

〒215-8588

神奈川県川崎市麻生区南黒川 6-2

ホームページ: <http://www.ss-technologies.co.jp>