

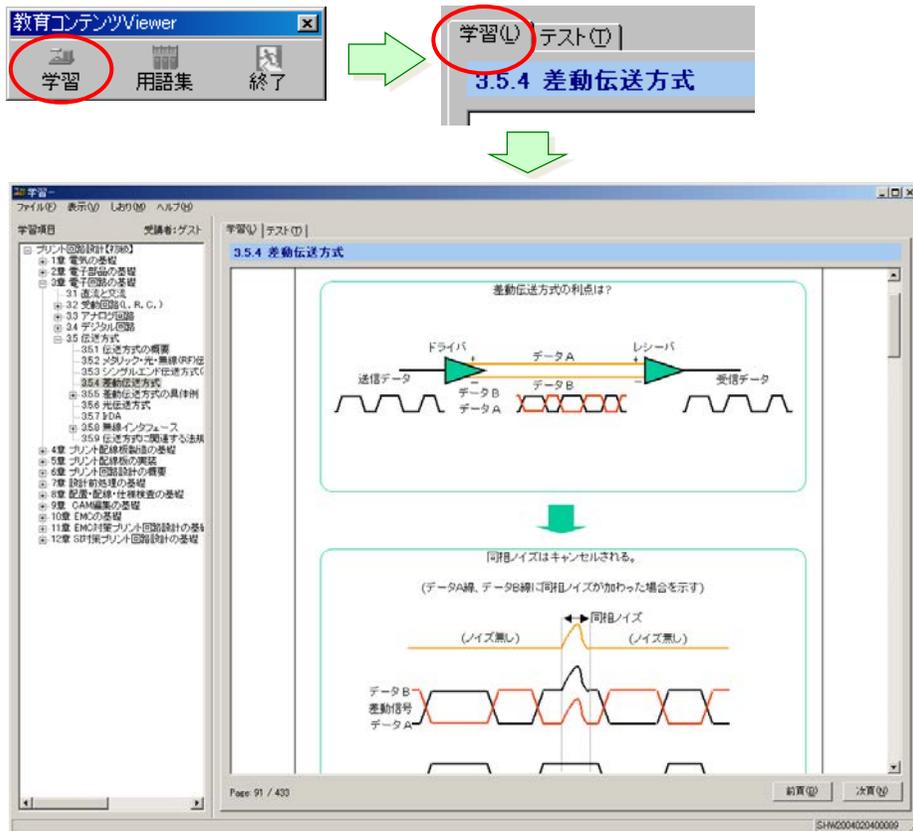
New!

教育コンテンツViewer

- ・プリント回路設計に関する技術力の修得、向上を目的とした学習コンテンツです。
- ・プリント回路設計に携わる技術者に必要な基礎知識から実践的な内容、さらには、付加価値的な関連知識までを解説しています。
- ・各ステップ毎に理解度をチェックするためのテスト問題(解答付き)も含まれます。

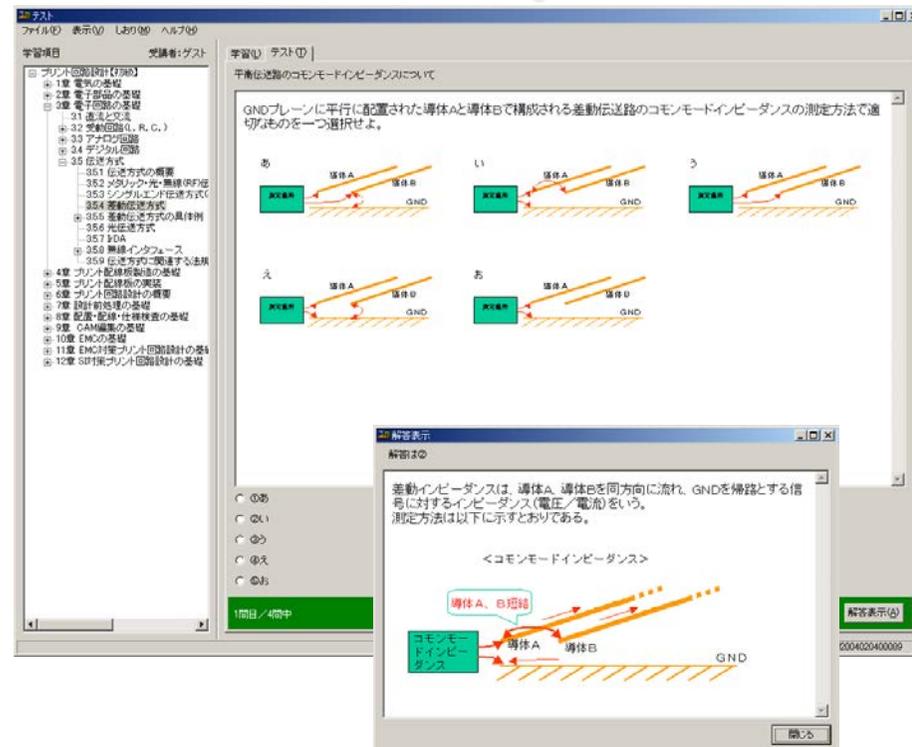
学習テキスト

豊富な解説内容とともに、図解によるわかりやすい説明



テスト問題 & 解答

学習用テキスト本文中のリンク付きキーワードをクリックして、自動的に用語集を検索
重要なキーワードをわかりやすく用語解説しており、辞書的な利用も可能

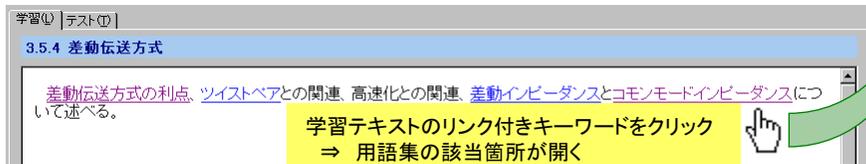
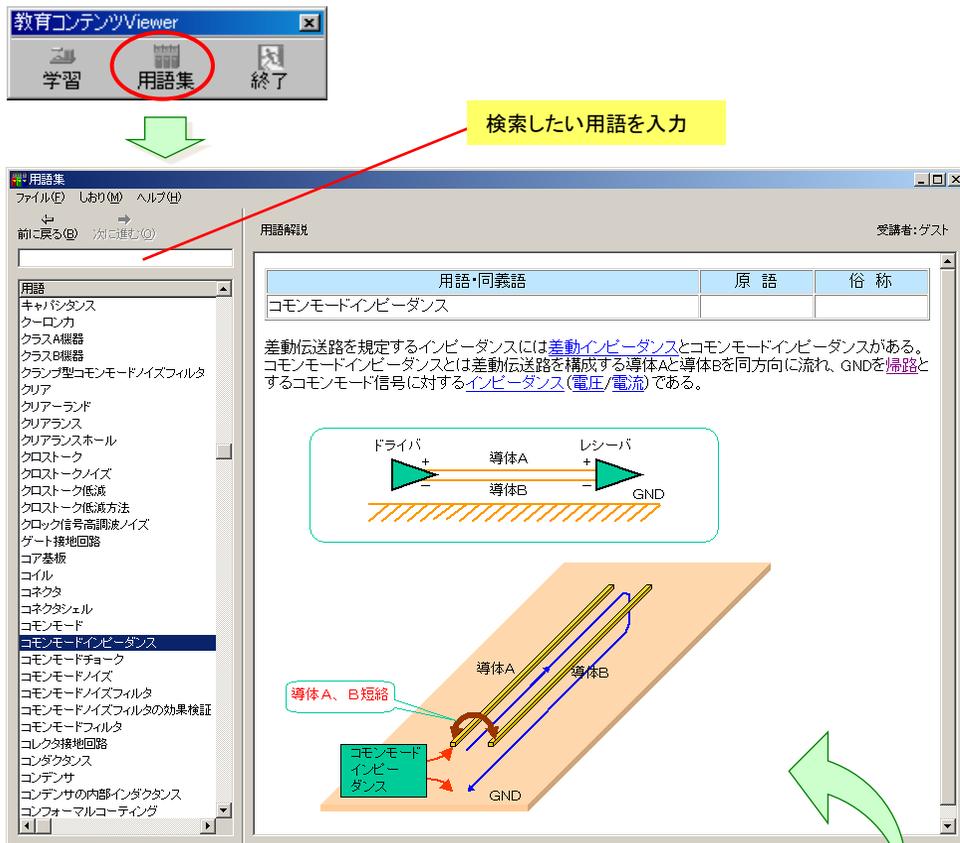


New!

教育コンテンツViewer

用語集

学習用テキスト本文中のリンク付きキーワードをクリックして、自動的に用語集を検索
重要なキーワードをわかりやすく用語解説してあり、辞書的な利用も可能



コンテンツ概要

内容	ページ数	問題数
第1章 電気の基礎	14	24
第2章 電子部品の基礎	87	112
第3章 電子回路の基礎	53	83
第4章 プリント配線板製造の基礎	62	30
第5章 プリント配線板の実装	12	5
第6章 プリント回路設計プロセスの概要	2	5
第7章 設計前処理の基礎	35	25
第8章 配置・配線・仕様検査の基礎	41	26
第9章 CAM編集の基礎	13	25
第10章 EMCの基礎	47	26
第11章 EMC対策プリント回路設計の基礎	42	15
第12章 SI対策プリント回路設計の基礎	35	12
合計	468	388

動作環境

OS	Windows 2000 / Windows XP Windows Vista / Windows 7
CPU	動作クロック500MHz以上（推奨）
メモリ	512MB以上（推奨）
ディスプレイ	解像度 1024 × 768 以上

※ハードウェア要件に関しては各OSの推奨スペックを満足していることが前提です。
※Windows Vista / 7は書き込み許可されているフォルダのみインストール可能



教育コンテンツの提供形態はドキュメント（印刷物）ではなく、専用のViewerツールで閲覧して頂きます。
当該ツールを動作させるには、弊社が発行するライセンスが必要となります。

お問い合わせ先

株式会社 Sohwa & Sophia Technologies

開発部 E-mail: sts-info@ss-technologies.co.jp

〒215-8588 神奈川県川崎市麻生区南黒川6-2 TEL: 044-981-5283

New!

教育コンテンツViewer

コンテンツ・サンプル①

プリント回路設計 教育資料(初級編)

5.3.2 GND プレーン分断の例

配線に対向する電源/GND プレーンやSGパターンが分断されると、リターンパス確保が困難となり放射の原因となる。

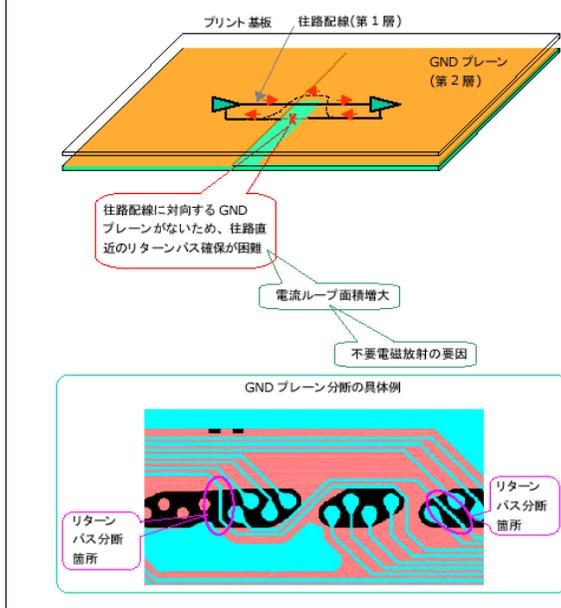


図 5.3.b GND プレーン分断の例

プリント回路設計 教育資料(初級編)

5.3.4 信号線の GND 層・電源層貫通によるリターンパス分断の例

信号線が GND 層/電源層を貫通し、リターンパスが不明確になり、リターン電流が GND 層と電源プレーンに分散した例を示す。

解決策として信号線 VIA の直近にリターンパス確保用コンデンサを接続する VIA を増設した例を示す。

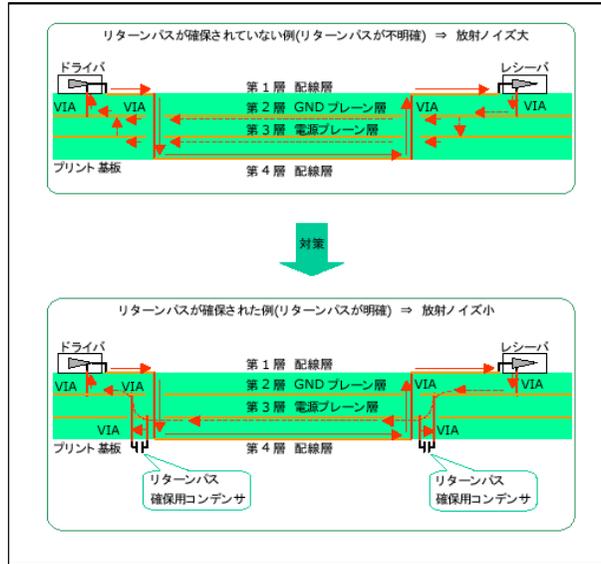


図 5.3.d 信号線の GND 層・電源層貫通の例

第 5 章 EMC 対策プリント回路設計の基礎

5.4.2 信号層プレーンのアンテナ化防止

適切な VIA が存在しない信号層のプレーンは、アンテナとなる可能性があるため、VIA 無し角は禁止する必要がある。また、最大 VIA 間隔は極力短くする必要がある。

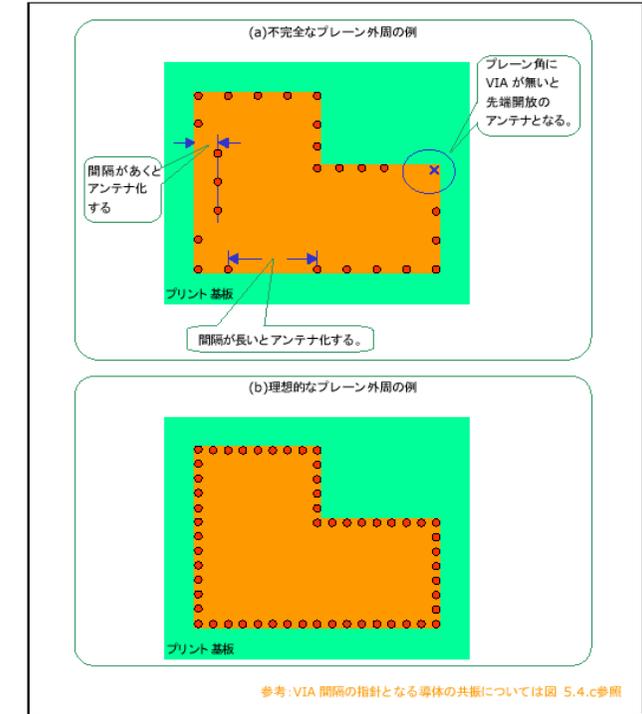


図 5.4.b 信号層プレーンのアンテナ化防止



教育コンテンツViewer

コンテンツ・サンプル②

プリント回路設計 教育資料(初級編)

参考資料

アンテナ化の可能性がある導体は以下に示すような共振条件のときに、最も大きな不要輻射が発生する。したがって、対象周波数帯域内に共振が生じないように導体の長さを短くする必要がある。先端開放導体は、5.4.2のVIA無し角パターンが相当する。先端短絡導体は、5.4.2のVIA開隔のあいたプレーン外周に相当する。

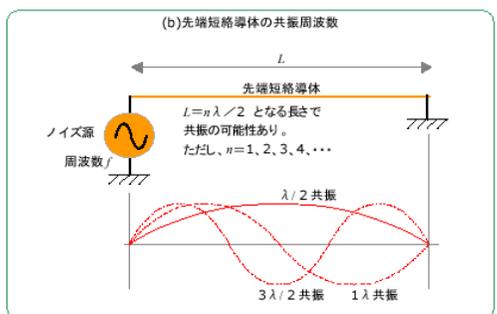
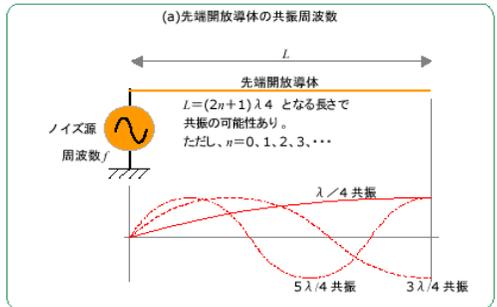


図 5.4.c 導体の共振周波数

6.2.4 動作タイミング

クロック信号とコントロール/データ信号はSignal Integrity(SI)上、問題となる部分が異なる。クロック信号は立ち上がり/立ち下がりエッジに瞬(波形割れ)ができない配線を行い、誤動作を防ぐことを最優先とする。コントロール/データ信号はSetup/Hold Timeでスレッショールドを跨がないように、他の信号からの影響(ク)を受けない様にならなければならない。

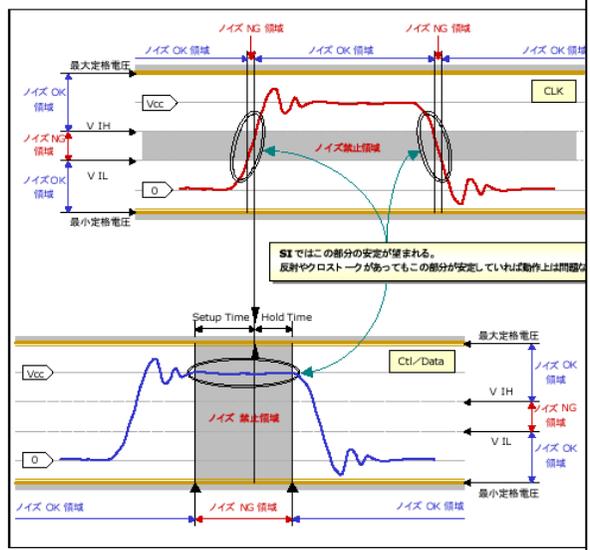
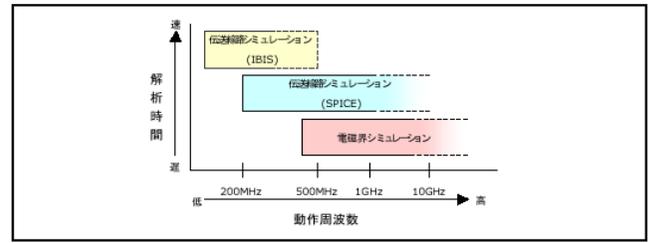


図 6.2.c クロック信号とコントロール/データ信号の取り扱いの違い

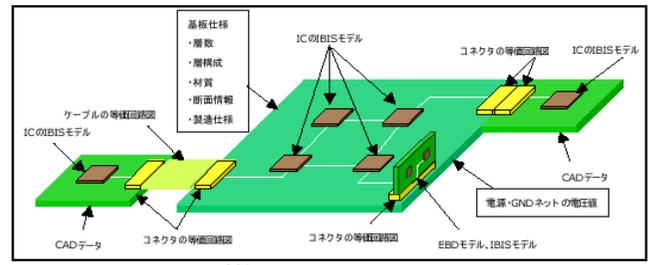
第6章 SI 対策プリント回路設計の基礎

6.3 伝送線路シミュレータによる解析と対策

近年の回路の動作周波数は GHz 帯へと高速化の傾向にあるが、大半の回路は 500MHz 以下で動作しているのが実状である。伝送線路シミュレータの適用範囲もこれに連動し、SPICE シミュレータと電磁界シミュレータを併用した GHz 帯解析が求められる一方で、大半の回路は解析時間の速い IBIS シミュレータが使用されている。本来、IBIS シミュレータに解析可能な周波数の制限はないが、IBIS モデルが必要最低限の情報であるため、無難な解析精度を考慮し、500MHz 以下に限定して使用されている。



以下に IBIS による伝送線路シミュレーション作業の一連の流れを示す。



コンテンツ一覧①

1章 電気の基礎

- 1.1 電気とは
- 1.2 電圧／電流と電界／磁界について
 - 1.2.1 電圧と電流
 - 1.2.2 電位差(電位)と電界
 - 1.2.3 電流と磁界
- 1.3 誘電体
 - 1.3.1 誘電率と容量
 - 1.3.2 誘電体について
- 1.4 電磁波と抵抗
 - 1.4.1 真空中の電磁波
 - 1.4.2 導体中の電磁波
 - 1.4.3 抵抗とは何か
- 1.5 ループ回路における電荷の動きについて
- 1.6 半導体の性質

2章 電子部品の基礎

- 2.1 電子部品の概要
- 2.2 受動部品、能動部品の機能及び特性
- 2.3 抵抗器
- 2.4 回路基板内埋め込み抵抗器
- 2.5 コンデンサ
- 2.6 インダクタ(コイル)
- 2.7 トランス
- 2.8 発振子
- 2.9 リレー
- 2.10 スイッチ
- 2.11 デイレーライン
- 2.12 フィルタ
- 2.13 ダイオード
- 2.14 サイリスタ
- 2.15 可変容量ダイオード
- 2.16 定電圧ダイオード
- 2.17 発光ダイオード
- 2.18 LD(レーザダイオード)
- 2.19 フォトダイオード

- 2.20 APD(アバランシェフォトダイオード)
- 2.21 光通信モジュール
- 2.22 光導電素子
- 2.23 フラットディスプレイ
 - 2.23.1 LCD(液晶ディスプレイ)
 - 2.23.2 ELディスプレイ
 - 2.23.3 VFD
 - 2.23.4 PDP
- 2.24 トランジスタ(バイポーラトランジスタ)
- 2.25 フォトトランジスタ
- 2.26 フォトカプラ
- 2.27 FET(電界効果トランジスタ)
- 2.28 CMOS(シーモス)
- 2.29 IC(集積回路)
 - 2.29.1 ASIC(Application Specific IC)
 - 2.29.2 FPGA(Field Programmable Gate Array) / PLD(Programmable Logic Device)
 - 2.29.3 オペアンプ
 - 2.29.4 D/A・A/Dコンバータ
 - 2.29.5 メモリ
 - 2.29.6 CPU/MPU
 - 2.29.7 DSP
 - 2.29.8 半導体アナログスイッチ
- 2.30 サーミスタ
- 2.31 過電流保護素子
- 2.32 バリスタ
- 2.33 電池
- 2.34 ヒューズ
- 2.35 コネクタ
- 2.36 基板搭載用端子
- 2.37 基板用グランド強化材料

3章 電子回路の基礎

- 3.1 直流と交流
- 3.2 受動回路(L. R. C.)
 - 3.2.1 オームの法則
 - 3.2.2 抵抗の接続
 - 3.2.3 コンデンサの接続とインピーダンス
 - 3.2.4 コイルの接続とインピーダンス
 - 3.2.5 合成回路のインピーダンス
 - 3.2.6 インピーダンスとアドミッタンス
 - 3.2.7 共振回路
- 3.3 アナログ回路
 - 3.3.1 トランジスタ増幅回路
 - 3.3.2 FET増幅回路
- 3.4 デジタル回路
 - 3.4.1 デジタル信号とは
 - 3.4.2 デジタル回路インタフェース
 - 3.4.3 クロック信号とデータ信号の関係
 - 3.4.4 デジタル信号とその周波数成分
 - 3.4.5 信号の劣化要因について
 - 3.4.6 高周波信号の損失劣化について
- 3.5 伝送方式
 - 3.5.1 伝送方式の概要
 - 3.5.2 メタリック・光・無線(RF)伝送方式の比較
 - 3.5.3 シングルエンド伝送方式(不平衡伝送方式)と差動伝送方式(平衡伝送方式)
 - 3.5.4 差動伝送方式
 - 3.5.5 差動伝送方式の具体例
 - 3.5.5.1 USB (Universal Serial Bus)
 - 3.5.5.2 IEEE1394 (アップル:Fire Wire、ソニー:i.Link)
 - 3.5.5.3 LVDS (Low Voltage Differential Signaling)
 - 3.5.6 光伝送方式
 - 3.5.7 IrDA
 - 3.5.8 無線インタフェース
 - 3.5.8.1 IEEE802.11.x
 - 3.5.8.2 IEEE802.15.1(Bluetooth)
 - 3.5.8.3 IEEE802.15.3a(UWB: Ultra Wideband)
 - 3.5.9 伝送方式に関連する法規制

コンテンツ一覧②

4章 プリント配線板製造の基礎

4.1 プリント配線板の用語と定義

4.1.1 用語と定義

- 4.1.1.1 プリント配線板(printed wiring board)
- 4.1.1.2 プリント回路板(printed circuit board)
- 4.1.1.3 マーキング又はシンボルマーク(legend)
- 4.1.1.4 ソルダレジスト又は、はんだレジスト(solder resist)
- 4.1.1.5 導体(conductor)
- 4.1.1.6 導体間げき(conductor spacing)
- 4.1.1.7 ランド(land)
- 4.1.1.8 エッジコネクタ端子(edge board contact)
- 4.1.1.9 部品面(component side)
- 4.1.1.10 はんだ面(solder side)
- 4.1.1.11 格子(grid)
- 4.1.1.12 バイア又はビア(via)
- 4.1.1.13 めっきスルーホール(plated-through hole)
- 4.1.1.14 プレインホール(plain hole)
- 4.1.1.15 ロードマップ(road map)
- 4.1.1.16 インタースティシャルビア(interstitial via)
- 4.1.1.17 ポジパターンとネガパターン
- 4.1.1.18 アートワークマスタ(artwork master)
- 4.1.1.19 クロスハッチング(cross-hatching)
- 4.1.1.20 クリアランスホール(clearance hole)
- 4.1.1.21 ピンラミネーションとマスラミネーション
- 4.1.1.22 フラッシュ導体(flush conductor)
- 4.1.1.23 フラッシュ金(flush hold)
- 4.1.1.24 アスペクト比(aspect ratio)
- 4.1.1.25 エッチング(etching)
- 4.1.1.26 エッチファクタ(etch factor)
- 4.1.1.27 アウトグロース、アンダカット、オーバハンク
- 4.1.1.28 打こん、ピンホール、ピット
- 4.1.1.29 層間剥離(delamination)
- 4.1.1.30 ボイド(void)
- 4.1.1.31 導体許容電流(current-carrying capacity)

4.1.2 ビルドアップ配線板の用語と定義

- 4.1.2.1 プレーナ基板(planar board)
- 4.1.2.2 モジュール基板(module board)
- 4.1.2.3 ビルドアップビア(build-up via)
- 4.1.2.4 コンフォーマルビア(conformal via)

- 4.1.2.5 フィルドビア(filled via)
- 4.1.2.6 スタックビア(stack via)
- 4.1.2.7 スキップビア(skip via)
- 4.1.2.8 フォトビア(photo via)
- 4.1.2.9 レーザビア(laser via)
- 4.1.2.10 スタッドビア(stud via)
- 4.1.2.11 穴埋めベースビア(plugged base via)
- 4.1.2.12 ビア上部ランド(via top land)
- 4.1.2.13 ビア下部ランド(via bottom land)
- 4.1.2.14 ビアボトムトレンチ(via bottom trench)

4.1.3 プリント配線板、材料、製造に関する略語

4.1.4 プリント配線板関連の規格、団体に関する略語

4.2 プリント配線板の関連規格

- 4.2.1 JIS規格
- 4.2.2 JPCA規格
- 4.2.3 IPC規格
- 4.2.4 IEC規格
- 4.2.5 UL規格
- 4.2.6 MIL規格
- 4.2.7 電安法(電気用品安全法)

4.3 プリント配線板の材料(銅張り積層板)

- 4.3.1 銅張り積層板の構造
- 4.3.2 構成材料
 - 4.3.2.1 樹脂
 - 4.3.2.2 基材
 - 4.3.2.3 銅はく

4.3.3 製造方法

- 4.3.4 規格(JIS)の記号
- 4.3.5 材料の定尺寸法とワークパネル寸法
- 4.3.6 材料の厚さ

4.4 プリント配線板の種類・製法

4.4.1 プリント配線板の種類

4.4.2 製造要素技術、方法による分類

- 4.4.2.1 構造による分類
- 4.4.2.2 基本製法による分類と製造プロセス
- 4.4.2.3 電解めっき方法による分類
- 4.4.2.4 表面処理による分類
- 4.4.2.5 パターン形成方法による分類
- 4.4.2.6 スルーホール導通方法による分類

4.4.3 ビルドアッププリント配線板

- 4.4.3.1 フォトビア法
- 4.4.3.2 熱硬化性樹脂+レーザ法
- 4.4.3.3 RCC法
- 4.4.3.4 プリプレグ法
- 4.4.3.5 ALIVH全層ビルドアップ法
- 4.4.3.6 B2it 導電ペースト印刷バンブ法
- 4.4.3.7 NMBI エッチングバンブビア法
- 4.4.3.8 ビアポスト(めっきバンブ)法
- 4.4.3.9 複合製法

4.5 プリント配線板のCAMデータ・製造ツール

- 4.5.1 設計及びアートワークの変遷
- 4.5.2 CAMデータ
- 4.5.3 CAMデータの編集
 - 4.5.4.1 フォトマスク
 - 4.5.4.2 スクリーン印刷版

5章 プリント配線板の実装

5.1 プリント配線板実装の変遷

5.2 はんだ付け方法のいろいろ

- 5.2.1 一括はんだ付け
- 5.2.2 局所はんだ付け
- 5.2.3 その他の実装方法
 - 5.2.3.1 ワイヤボンディング(W/B)
 - 5.2.3.2 フリップチップ実装(F/C)

5.3 実装プロセス

- 5.3.1 フローはんだ付け(片面)
- 5.3.2 フローはんだ付け(両面混載)
- 5.3.3 リフローはんだ付け(片面SMD)
- 5.3.4 リフローはんだ付け(両面SMD)
- 5.3.5 リフロー/フローはんだ付け(両面混載)

5.4 環境対応

- 5.4.1 鉛フリー
- 5.4.2 ハロゲンフリー
- 5.4.3 VOCフリー
- 5.4.4 フットプリントの重要性

コンテンツ一覧③

6章 プリント回路設計の概要

6.1 プリント回路設計プロセスの概要

7章 設計前処理の基礎

7.1 設計前処理作業フロー

- 7.1.1 設計前処理とは
- 7.1.2 設計前処理の役割
- 7.1.3 設計前処理作業フロー図

7.2 作業内容の判断と準備

- 7.2.1 作業内容の判断
 - 7.2.1.1 部品実装面
 - 7.2.1.2 はんだ付け方法
 - 7.2.1.3 設計前処理に必要な資料
 - 7.2.1.4 設計ファイル作成

7.3 NETデータの基礎

- 7.3.1 NETデータに必要な情報
- 7.3.2 結線番号(NODE)
- 7.3.3 部品番号(Ref)
- 7.3.4 ピン番号
- 7.3.5 回路設計CADより出力されるNETデータフォーマット

7.4 部品表データの基礎

- 7.4.1 部品表データに必要な情報
- 7.4.2 部品表データの役割
- 7.4.3 部品型名/定数
- 7.4.4 ユーザー部品管理番号
- 7.4.5 回路設計CADより出力される部品表データフォーマット

7.5 フットプリントデータの基礎

- 7.5.1 フットプリントデータに必要な情報
 - 7.5.1.1 ランド寸法
 - 7.5.1.2 ソルダーレジスト寸法
 - 7.5.1.3 リフローマスク寸法
 - 7.5.1.4 リード挿入部品の穴径
 - 7.5.1.5 シルクシンボル
 - 7.5.1.6 フットプリントデータの作成原点と作成方向
- 7.5.2 設計前処理に必要な部品カタログの情報
 - 7.5.2.1 部品カタログの収集
 - 7.5.2.2 部品の型名構成
 - 7.5.2.3 ICパッケージの調べ方
 - 7.5.2.4 第三角法

7.5.3 フットプリントコード名

7.6 総合検査

7.6.1 総合検査方法

7.7 基板外形作成

- 7.7.1 基板外形図
- 7.7.2 基板外形作成フロー図
- 7.7.3 基板外形枠入力
- 7.7.4 ルーターカット部、Vカット部入力
- 7.7.5 キリ穴入力
- 7.7.6 禁止領域
- 7.7.7 アクセサリ部品入力
- 7.7.8 基板外形チェック

8章 配置・配線・仕様検査の基礎

8.1 配置・配線・仕様検査のプロセス

- 8.1.1 配置・配線・仕様検査の作業内容
- 8.1.2 設計条件の把握
 - 8.1.2.1 打ち合せ報告書
 - 8.1.2.2 個別指示書の内容把握
 - 8.1.2.3 プリント回路設計仕様の把握

8.1.3 CAD設定

- 8.1.3.1 層構成の設定
- 8.1.3.2 内層合成信号
- 8.1.3.3 内層ネガ設定
- 8.1.3.4 配線幅設定
- 8.1.3.5 クリアランス設定
- 8.1.3.6 パイアホール設定
- 8.1.3.7 グリッド設定

8.1.4 回路内容の把握

- 8.1.4.1 回路の流れ図を把握
- 8.1.4.2 回路ブロック図の作成

8.1.5 実装検討(1次)

- 8.1.5.1 前回基板との比較検討
- 8.1.5.2 ラフ配置による実装可否の判断
- 8.1.5.3 実装検討(1次)結果による折衝

8.1.6 実装検討(2次)

- 8.1.6.1 位置指定部品の配置
- 8.1.6.2 高さ制限指定部品の配置
- 8.1.6.3 基板取付け穴周辺の部品配置

8.1.6.4 禁止領域指定の部品配置

8.1.6.5 回路の流れに準じた部品配置の優先順位

8.1.6.6 回路ブロック内の配置

8.1.6.7 信号の流れ図作成

8.1.7 回路設計者の部品配置の検査

8.1.7.1 検討結果の報告内容

8.1.8 パターン配線

8.1.8.1 ブロック内の配線

8.1.8.2 ブロック内を横断する信号の配線

8.1.8.3 ブロック間の配線

8.1.9 シルク図作成

8.1.9.1 シルク入力

8.1.9.2 シルク図作成時の留意内容

8.1.10 仕様検査

8.1.10.1 仕様検査の項目

8.1.10.2 検査用の図面出力

8.1.10.3 検査結果の修正と再確認

8.1.11 回路設計者の最終検査

8.1.11.1 最終検査用の図面出力

8.1.11.2 検査依頼と承認書

9章 CAM編集の基礎

9.1 CAM編集のプロセス

9.2 プロセスの詳細内容

9.3 CAMデータ出力

9.3.1 ガーバーデータとは

9.3.2 ガーバーデータ出力時の注意点

9.3.2.1 ネガ層の反転

9.3.2.2 シルク合成

9.3.2.3 出力するガーバーデータ一覧

9.3.3 NCデータとは

9.3.4 NCデータ出力時の注意点

9.3.5 部品座標データ出力時の注意点

9.3.6 スペックリスト

9.3.7 ファイル内容指示書

9.3.8 アパーチャリスト

9.3.9 ツールリスト

9.3.6.4 合成指示書

9.3.7 データ伝送

9.3.7.1 データ伝送後の確認

コンテンツ一覧④

10章 EMCの基礎

- 10.1 EMCの概要
 - 10.1.1 EMI (Electromagnetic Interference)
 - 10.1.2 EMS (Electromagnetic Susceptibility)
 - 10.1.3 EMCの具体例
- 10.2 EMCに関する規制
 - 10.2.1 国際規格
 - 10.2.2 欧州規格(EN規格)
 - 10.2.3 日本の規格
 - 10.2.3.1 電気用品安全法
 - 10.2.3.2 VCCI自主規制措置運用規定
 - 10.2.4 日本及び欧米の主要EMC規格(規制)
- 10.3 EMC測定設備
 - 10.3.1 放射Emissionの評価設備
 - 10.3.2 放射Emissionの測定状況
 - 10.3.3 伝導Emissionの測定状況
- 10.4 EMC対策検討方法
 - 10.4.1 EMC対策の流れ
 - 10.4.2 EMC対策の心得
 - 10.4.3 ノイズ切り分け作業の重要性
 - 10.4.4 EMC対策の具体例
 - 10.4.4.1 装置接続ケーブルの配置と放射ノイズ偏波方向の傾向
 - 10.4.4.2 ケーブル系ノイズの放射経路特定例
 - 10.4.4.3 プリント基板につながるシールドケーブルの端末処理
 - 10.4.4.4 クランプ型コモンモードノイズフィルタの阻止帯域の目安
 - 10.4.4.5 高域周波数におけるコモンモードノイズフィルタの注意点
 - 10.4.4.6 コモンモードノイズフィルタの線間容量の影響
 - 10.4.4.7 プリント基板上のコモンモードノイズフィルタの動作チェック例
 - 10.4.4.8 プリント基板上のコモンモードノイズフィルタが効かない理由
 - 10.4.4.9 プリント基板上コモンモードノイズフィルタの効果検証方法(1)
 - 10.4.4.10 プリント基板上コモンモードノイズフィルタの効果検証方法(2)

- 10.4.4.11 差動伝送方式によるEMC対策
- 10.4.4.12 ツイストペア伝送路とEMC
- 10.4.4.13 差動インタフェース回路における同相ノイズ発生原因
- 10.4.4.14 差動インタフェース回路のEMC対策例
- 10.4.4.15 絶縁トランス・コモンモードノイズフィルタ実装上の注意点
- 10.4.4.16 無線LANカード内蔵装置
- 10.4.4.17 無線LANカード内蔵装置の診断例
- 10.4.4.18 無線LANカード内蔵装置のノイズ対策実測例
- 10.4.4.19 アンテナ給電系のノイズ診断・対策例
- 10.4.4.20 アンテナ給電系のノイズ対策実測例
- 10.4.4.21 アンテナ給電系のノイズ放射の原因
- 10.4.4.22 SGパターンとFGパターンの接続・分離による放射ノイズレベルの比較(1)
- 10.4.4.23 SGパターンとFGパターンの接続・分分離による放射ノイズレベルの比較(2)
- 10.4.4.24 アース強化による放射ノイズ実測例
- 10.4.4.25 クロックラインの対策例
- 10.4.4.26 クロックライン送出側マッチング抵抗調整時の実測例
- 10.4.4.27 保安用アース系の放射ノイズ対策
- 10.4.4.28 保安用アース系のコモンモードノイズ対策の必要性

11章 EMC対策プリント回路設計の基礎

- 11.1 EMIを低減させる設計手法の概要
 - 11.1.1 電流ループ面積削減
 - 11.1.2 リターンパス確保
 - 11.1.3 アンテナ化防止
- 11.2 プリント多層基板の層構成
- 11.3 リターンパス確保の具体例
 - 11.3.1 リターンパスの概念
 - 11.3.2 GNDプレーン分断の例
 - 11.3.3 プリント基板端リターンパス分断の例
 - 11.3.4 信号線のGND層・電源層貫通によるリターンパス分断の例
 - 11.3.5 電源のリターンパス確保ができない例
- 11.4 アンテナ化防止の具体例
 - 11.4.1 接続ケーブルのアンテナ化防止
 - 11.4.2 信号層プレーンのアンテナ化防止

- 11.5 バイパスコンデンサとデカップリングコンデンサ
 - 11.5.1 電源供給を考慮した論理回路の考え方
 - 11.5.2 パソコンの効果
 - 11.5.3 パソコン配置の具体例
 - 11.5.4 パソコンの特性例
 - 11.5.5 EMCを考慮したコンデンサ
 - 11.5.5.1 低ESL(ESR)コンデンサ
 - 11.5.5.2 3端子コンデンサ
- 11.6 クロック回路の対策
 - 11.6.1 クロック回路の基本対策
 - 11.6.2 クロック信号のEMC対策の必要性
 - 11.6.3 クロック信号の高調波を増大させる要素
 - 11.6.4 クロック信号に現れるリンギングの影響
- 11.7 インタフェース回路の具体的設計
- 11.8 ノイズ対策部品の活用
 - 11.8.1 フェライトビーズ
 - 11.8.2 フェライトビーズの応用例
 - 11.8.3 3端子T型フィルタ
 - 11.8.4 シールド板の活用

12章 SI対策プリント回路設計の基礎

- 12.1 SIの基礎
 - 12.1.1 SIの必要性
- 12.2 伝送線路の基礎
 - 12.2.1 伝送線路の特性インピーダンス
 - 12.2.2 伝搬速度と遅延
 - 12.2.3 反射のしくみ
 - 12.2.4 動作タイミング
 - 12.2.5 分布定数と集中定数の取扱い
- 12.3 伝送線路シミュレータによる解析と対策
 - 12.3.1 反射シミュレーション
 - 12.3.2 クロストークシミュレーション
 - 12.3.3 EMIシミュレーション
 - 12.3.4 同時スイッチングシミュレーション
 - 12.3.5 タイミングの検討
 - 12.3.6 解析結果及び対策
 - 12.3.7 シミュレーション対策事例
- 12.4 クロストーク
 - 12.4.1 プリント配線板におけるクロストーク低減方法